

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl. 6
H04L 7/00

(45) 공고일자 2001년10월24일
(11) 등록번호 10-0298340
(24) 등록일자 2001년05월31일

(21) 출원번호 10-1994-0030497
(22) 출원일자 1994년11월19일

(65) 공개번호 특1996-0020138
(43) 공개일자 1996년06월17일

(73) 특허권자 삼성탈레스 주식회사
박태진
경북 구미시 공단2동 259

(72) 발명자 이정수
서울특별시동작구사당3동175-81
박중현
서울특별시송파구가락동가락아파트126동304호

(74) 대리인 이권주

심사관 : 김자영

(54) 파일럿트채널을이용한다중접속대역확산통신시스템의데이터송수신기

요약

1. 청구범위에 기재된 발명이 속하는 기술분야

본 발명은 대역확산통신시스템에 관한 것으로서, 특히 파일럿트 채널을 이용한 다중접속 대역확산통신시스템의 송신기 및 수신기에 관한 것이다.

2. 발명이 해결하고자하는 기술적 과제

본 발명은 하나의 PN코드 발생기를 사용하여 구성을 단순화하고, 크로스상관특성으로 인한 코드포착특성의 열화를 방지할 수 있는 파일럿트채널을 이용한다중접속 대역확산통신시스템의 데이터 송. 수신기를 제공함에 있다.

3. 발명의 해결방법의 요지

본 발명은 각각의 송신 트래픽 채널이 각각 직교하는 월시코드를 사용하며, 모두 동일한 PN코드 발생수단의 출력과 곱하고, 확산신호를 결합하는 과정을 제거하여 파일럿트 신호성분이 재어신호 또는 트래픽 데이터 신호성분에 영향을 받지 않게하고 구성을 간단화 한다.

DECLARATION

I, the below-named translator, hereby declares:

- (1) That my name, mailing address and citizenship are as stated below;
- (2) That I am knowledgeable in the English language and in the Korean language in which Korean Patent No. 10-0298340 was registered on May 31, 2001; and
- (3) That I have translated said Korean Patent No. 10-0298340 into English, which English text is attached hereto, and believes that said translation is a true and complete translation of the aforementioned Korean patent.

December 29, 2005

Full name of the translator: Sung-Mok Kim

Signature of the translator: Sungmok Kim

Mailing address: #912 Anyang Trade Center 1107, Bisdong, Dongan-gu, Anyang-si, Gyeonggi-do, Korea

Citizenship: Republic of Korea

(19) The Korean Intellectual Property Office (KR)

(12) Patent Registration Gazette (B1)

(51) Int. Cl.⁶

H04L 7/00

(45) Publication Date: October 24, 2001

(11) Patent No.: 10-0298340

(24) Registration Date: May 31, 2001

(21) Application No.: 10-1994-0030497(65) Laid-Open Publication No.: 10-1996-0020138

(22) Filing Date: November 19, 1994 (43) Laid-Open Publication Date: June 17, 1996

(71) Patentee Samsung Thales, Co., Ltd.
 (Representative: Park, Tae-Jin).
 259 Gongdan 2-dong,
 Gumi-si, Gyeongsangbuk-do,
 Republic of Korea

(72) Inventors Lee, Jung-Soo
 175-81 Sadang 3-dong,
 Dongjak-gu, Seoul,
 Republic of Korea

 Park, Jong-Hyun
 Garak Apt 126-304,
 Garak-dong,
 Songpa-gu, Seoul,
 Republic of Korea

(74) Agent Lee, Keon-Joo

Examiner Kim, Ja-Young

(54) DATA TRANSCEIVER FOR MULTIPLE ACCESS SPREAD SPECTRUM
COMMUNICATION SYSTEM USING PILOT CHANNEL

Abstract

1. Field of the Claimed Invention

The present invention relates to a spread spectrum communication system, and more particularly, to a transmitter and receiver for a multiple access spectrum communication system using a pilot channel.

2. Technical Problems Solved by the Invention

The present invention provides a data transmitter and receiver for a multiple access spread spectrum communication system using a pilot channel which is capable of simplifying a structure by using a single Pseudo Noise (PN) code generator and also preventing degradation of code acquisition characteristic due to cross correlation characteristic.

3. Summary of the Invention

The invention allows each transmission traffic channel to employ orthogonal Walsh codes and multiply each of them by an output from a same PN code generation means, and makes pilot signal component not affected by control signal or traffic data signal component by removing a process of combining spread signals, which simplifies a structure.

4. Industrial Availability

The present invention can be advantageously used in a multiple access spread spectrum communication system with a plurality of terminals.

【Representative Drawing】

Fig. 2

【Specification】

【Title of the Invention】

DATA TRANSCEIVER FOR MULTIPLE ACCESS SPREAD SPECTRUM COMMUNICATION SYSTEM USING PILOT CHANNEL

【Brief Description of Drawings】

Fig. 1 shows a block diagram of a conventional data transceiver for a spread spectrum communication system using a pilot channel.

Fig. 2 is a block diagram showing a configuration of a data transmitter for a multiple access spread spectrum communication system using a pilot channel in accordance with a preferred embodiment of the present invention.

Fig. 3 is a block diagram showing a configuration of a data receiver for a multiple access spread spectrum communication system using a pilot channel in accordance with a preferred

transmitter for the DS/CDMA communication system in accordance with the prior art and the present invention.

【Description of Principal Reference Numerals of drawings】

101, 103 to 105, 322, 328: Orthogonal code generator
102, 106 to 108, 111 to 118, 131, 132, 137, 304 to 306, 313
to 317, 320, 321, 326, 327: Multiplier
109, 110, 311, 312: Pseudo noise code generator
119 to 126: Infinite impulse response filter
127, 128, 133, 318, 319: Adder
129, 130, 307, 308: Low pass filter
134, 303: Band pass filter
135, 302: Amplifier
136, 301: Antenna
309, 310: Analog/digital converter
323: Initial synchronization and synchronization tracking
unit
324: Pseudo noise code clock controller
325: Pseudo noise code clock generator
329: Synchronization data demodulator

【Detailed Description of the Invention】

The present invention relates to a DS/CDMA communication system, and more particularly, to a data transceiver and receiver for a DS/CDMA communication system which allow data and clock to be easily recovered by preventing an on/off phenomenon of signal or severe amplitude variation.

Spread spectrum communication is a system that

communications using a wider transmission bandwidth than a bandwidth of a message signal to be transmitted.

Energy of a transmitted signal generally occupies a wider bandwidth than a bandwidth at which digital data composed of 0 and 1 occupies, and demodulation is made by despreading a received signal to a same spread signal as a spread signal of a message signal. In a conventional communication system, when a plurality of users utilizes a same transmission frequency band, any interference is occurred and no communication is conducted. In a spread spectrum communication, however, a plurality of user can use a same transmission frequency band by its code division.

A spread spectrum communication system that enables CDMA (hereinafter, called "CDMA communication system") may be classified into direct sequence, frequency hopping, time hopping, etc., according to a modulation method of data to be transmitted. Currently, CDMA communication system based on direct sequence using pilot channel (hereinafter, called "DS/CDMA communication system") is generally utilized as CDMA communication system.

Fig. 1 is a diagram showing a configuration of a transmitter for a conventional DS/CDMA communication system using a pilot channel.

Referring to Fig. 1, signals to be transmitted are largely pilot channel data PD and user channel data UD1 to UD_N.

The pilot channel data PD is generally always transmitted as 1, and is used to establish Pseudo Noise (PN) synchronization at a receiver or as a reference synchronization signal upon data demodulation. Meanwhile, the user channel data UD1 to UDN are actual information data to be transmitted; and therefore, a receiver corresponding to the transmitter shown in Fig. 1 selects any one of N user channels and then demodulates corresponding received data. The pilot channel data PD is multiplied by an output of a pilot channel orthogonal code generator 101 at a multiplier 102, and the user channel data UD1 to UDN are multiplied by outputs of orthogonal code generators 103 to 105 of each corresponding channel at multipliers 106 to 108. At this time, the pilot channel orthogonal code generator 101 and the user channel orthogonal code generators 103 to 105 generate different orthogonal codes to identify the respective channels.

Outputs from the multipliers 102, 106 to 108 of each channel are divided into I arm and Q arm. I arm multipliers 111 to 114 multiply the outputs from the multipliers 102, 106 to 108 by an output IPN of an I arm PN code generator 109, respectively, to output spread signals. Q arm multipliers 115 to 118 multiply the outputs from the multipliers 102, 106 to 108 by an output from a Q arm PN code generator 110, respectively, to output spread signals. Outputs from the I arm multipliers 111 to 114 and outputs from the Q arm multipliers 115 to 118 are filtered by Finite Impulse Response (FIR) filters 119 to 122 and 123 to 126. Outputs from the I arm FIR filters 119 to 122 are added at

an adder 127 and outputs from the Q arm FIR filters 123 to 126 are added at an adder 128, wherein the added signals are provided as I arm signal IS and Q arm signal QS, respectively.

Outputs from the I arm adder 127 and the Q arm adder 128, IS and QS, are low pass-filtered by Low Pass Filters (LPFs) 129 and 130 and then delivered to multipliers 131 and 132, respectively. The multiplier 131 multiplies the output from the LPF 129 by an in-phase component $\cos(2\pi fct)$ of a carrier wave and the multiplier 132 multiplies the output from the LPF 130 by a quadrature phase component $\sin(2\pi fct)$ of the carrier wave. Then, the output from the I arm multiplier 131 and the output from the Q arm multiplier 132 are added at an adder 133, band pass-filtered at a Band Pass Filter (BPF) 134, amplified at an amplifier (AMP) 135, and transmitted in the air via an antenna 136.

The DS/CDMA communication system as mentioned above is a technology that is well known as disclosed as the prior arts in Korean Patent Application No. 10-1994-20801, entitled "Data transceiver for spread spectrum communication system using a pilot channel", and Korean Patent Application No. 10-1994-30497, entitled "Data transceiver for multiple access spread spectrum communication system using a pilot channel", which were filed by this applicant.

The conventional DS/CDMA communication system spreads input

data of all channels using I arm PN code IPN and Q arm PN code QPN and then transmits spread data. At this time, the input data of all the channels are spread by multiplying the IPN and QPN at the I arm multipliers 111 to 114 and the Q arm multipliers 115 to 119 of all the channels, respectively. In this process, however, it should be noted that there may occur an instance where the outputs from the adders 127 and 128 (I arm channel data and Q arm channel data) are simultaneously zero depending on the input data and the IPN and QPN. If the outputs from the adders 127 and 128 are simultaneously zero, then the outputs from the multipliers 131 and 132 are also simultaneously zero and thus the output from the adder 133 to be transmitted via the antenna 136 becomes zero.

Reference numerals T1 to T8 in Fig. 5a indicate intervals at which the outputs from the adders 127 and 128 are simultaneously zero. If these intervals are repeatedly existed, the system is under the phenomenon that on-off keying modulation is taken depending on pattern of data and pattern of PN code. If the on-off keying modulation phenomenon is occurred at the transmitter as described above, a receiver recognizes the above on-off keying modulation phenomenon as on/off of signal. Then, the receiver would conduct recovery operation of data and clock under the above abnormal circumstance; and as a result, a normal data and clock recovery would be difficulty.

Meanwhile, the problem that the outputs of the adders 127 and 128 are simultaneously zero may be solved by properly

adjusting a gain of each channel, but the outputs of the adders 127 and 128 in such a case will have very low amplitude. If the outputs of the low amplitude are existed, there are substantially severe amplitude variations between the outputs due to their transmission, thereby making an amplitude shift keying taken in the system. To prevent this amplitude shift keying, there exists a burden that the power amplifier AMP 135 connected between the BPF 134 and the antenna 136 should be an amplifier of high performance with excellent linearity.

It is, therefore, a primary object of the present invention to provide a data transmitter and receiver that are capable of preventing a phenomenon that I arm channel data and Q arm channel data are simultaneously zero in a DS/CDMA communication system.

Another object of the present invention is to offer a data transmitter and receiver that are capable of preventing a phenomenon that a signal becomes on/off in a DS/CDMA communication system.

A still another object of the present invention is to provide a data transmitter and receiver that allow the recovery of data and clock to be easily made in a DS/CDMA communication system.

A yet still another object of the present invention is to provide a data transmitter and receiver that are capable of

preventing a severe amplitude variation of a transmitted signal in a DS/CDMA communication system.

An additional object of the present invention is to provide a data transmitter and receiver that are capable of removing a burden that a power amplifier with excellent linearity should be used in a DS/CDMA communication system.

Another object of the present invention is to provide a spread signal generation apparatus and a despread signal generation apparatus which are capable of preventing an on/off phenomenon of signal and severe amplitude variation and allow the recovery of data and clock to be easily made in a DS/CDMA communication system.

The data transmitter of the invention to accomplish the objects as described above a spread signal generation apparatus that provides an I arm Pseudo Noise (PN) code for I arm information signal of a first channel and a Q arm PN code for Q arm information signal, and then provides an inverted Q arm PN code for I arm information signal of a predetermined number of channels and I arm PN code for Q arm information signal.

The data receiver of the invention includes a despread signal generation apparatus that multiplies a digital I arm baseband spread signal and a Q arm baseband spread signal by an I arm PN code and a Q arm PN code, respectively, and adds the multiplication results to produce an I arm despread signal, and

multiplies a digital Q arm baseband spread signal and an I arm baseband spread signal by an inverted I arm PN code and a Q arm PN code, respectively, and adds the multiplication results to generate a Q arm despread signal.

A spread signal generation apparatus for DS/CDMA communication system which transmits information signal via a plurality of channels in accordance with the present invention comprises: a first PN code generator for generating an I arm PN code; a second PN code generator for generating a Q arm PN code; an inverter for inverting the Q arm PN code to output an inverted Q arm PN code; a first multiplier for multiplying an information signal of a first channel among the plurality of channels by the I arm PN code; a second multiplier for multiplying the information signal of the first channel by the Q arm PN code; a first group of multipliers for multiplying information signals of the remaining channels excepting the first channel among the plurality of channels by the inverted Q arm PN code, respectively; and a second group of multipliers for multiplying the information signals of the remaining channels by the I arm PN code; a first adder for adding the multiplication results of the first multiplier and the first group of multipliers to output an addition result as I arm spread signal; and a second adder for adding the multiplication results of the second multiplier and the second group of multipliers to output

an addition result as Q arm spread signal. It is preferable to implement that the information signal of the first channel is a pilot channel signal and the information signals of the remaining channels are two user channel signals.

A despread signal generation apparatus for DS/CDMA communication system in accordance with the present invention comprises: a first PN code generator for generating an I arm PN code; a second PN code generator for generating a Q arm PN code; an inverter for inverting the I arm PN code to output an inverted I arm PN code; a first multiplier for multiplying a digital I arm baseband spread signal by the I arm PN code; a second multiplier for multiplying a digital Q arm baseband spread signal by the inverted I arm PN code; a third multiplier for multiplying the Q arm baseband spread signal by the inverted I arm PN code; a fourth multiplier for multiplying the I arm baseband spread signal by the Q arm PN code; a first adder for adding the multiplication results of the first multiplier and the third multiplier to output an addition result as an I arm despread signal; and a second adder for adding the multiplication results of the second multiplier and the fourth multiplier to output an addition result as a Q arm despread signal.

In accordance with the present invention, since the I arm

spread signal and Q arm spread signal are not simultaneously zero, an on/off phenomenon or severe amplitude variation of information signals can be solved. Further, the invention allows the receiver to easily recover data and clock, thereby improving the performance thereof, and also solving a burden that should have a power amplifier with excellent linearity in the transmitter.

Hereinafter, a detailed description of a preferred embodiment of the present invention will be provided with reference to the accompanying drawings.

First of all, in case of assigning reference numerals to constitutional elements of each figure, it should be noted that same reference numerals are given to same constitutional elements although they are shown in different figures. Further, it will be apparent to those skilled in the art that even though many specific matters such as concrete circuitry elements, etc. are shown in the following description, this is provided merely to help understand the invention more generally and the invention may be carried out without such specific matters. And also, in the following description, well-known functions or constructions will not be described in detail if it seems that they could obscure the invention in unnecessary detail. The following technical terms are defined by taking account of functions in the invention; and therefore, it should be noted that these may be different according to intention of user or chip designer, custom, or the like, and the definition should be

made based on the entire contents of this specification.

Fig. 2 is a block diagram showing a structure of a transmitter for DS/CDMA communication system proposed by the present invention.

As shown in Fig. 2, signals to be transmitted are largely pilot channel data PD and user channel data UD1, UD2,..., UDN. The pilot channel data PD is always transmitted with 1, and is used to establish or track PN synchronization at a receiver, or used as a reference synchronization signal when doing data demodulation. Meanwhile, the user channel (traffic) data UD1, UD2,..., UDN are actual information data to be transmitted. At this time, the number of user channels is shown to be N, wherein the number N may be properly set based on the specification of system. And, a receiver corresponding to the transmitter shown in Fig. 2 selects one assigned among the N user channels, and then receives and demodulates corresponding data. The pilot channel data PD is multiplied by an output of an orthogonal code generator 101 at a multiplier 102, and the user channel data UD1, UD2,...,UDN are multiplied by outputs of orthogonal code generators 103, 104,...,105 of respective corresponding channels at multipliers 106, 107,...,108. The signal outputted from the multiplier 102 is a signal obtained by orthogonal-coding the pilot channel data PD, and the signals from the multipliers 106, 107,...,108 are signals obtained by orthogonal-coding the user channel data UD1, UD2,...,UDN. At this time, the orthogonal code generators 101, 103, 104,...,105 of each channel generate

different orthogonal codes that are orthogonal to each other. Walsh codes may be used as the orthogonal codes. Therefore, each channel is identified based on the different orthogonal codes and also division is possible. The orthogonal-coded signals outputted from the multipliers 102, 106, 107,...,108 of each channel are divided into I arm and Q arm and then provided to multipliers 111, 112, 113,...,114, 115, 116, 117,...,118 connected at a next stage.

An operation of the invention as mentioned above is carried out in the same manner as the DS/CDMA communication system according to the prior art. However, it should be noted that the invention has a technical feature that each orthogonal-coded channel data is generated by PN code IPN and QPN as spread signal as follows.

The output from the pilot channel multiplier 102 is spread by multiplying by the output IPN from the I arm PN code generator 109 at the multiplier 111 for I arm, and by the output QPN from the Q arm PN code generator 110 at the multiplier 115 for Q arm. However, the PN spread of the user channel signal is performed in a different manner from the pilot channel signal. To spread the output from the user channel multipliers 106, 107,...,108, there are used QPN (inverted QPN) multiplied by -1 at a multiplier 137 after being generated from the Q arm PN code generator 110 for I arm and IPN generated from the I arm PN code generator 109 for Q arm. In other words, the first group of multipliers 112, 113,...,114 of I arm multiply the outputs from

the multipliers 106, 107,...,108 by the inverted QPN, respectively, to output spread channel data, and the second group of multipliers 116, 117,...,118 of Q arm multiply the outputs from the multipliers 106, 107,...,108 by the IPN, respectively, to output spread channel data. Differently from the prior art, as described above, the present invention is implemented such that the user channel data of Q arm are multiplied by the IPN by the second group of multipliers 116, 117,...,118; and the user channel data of I arm by the inverted QPN by the first group of multipliers 112, 113,...,114.

As mentioned above, the present invention has a difference in spreading information signals of each channel as follows: a method of spreading an information signal (pilot channel data PD) of a first channel and a method of spreading information signals of next channels adjacent to the first channel. By comparison, the prior art method provides I arm PN code for I arm and Q arm PN code for Q arm, when spreading information signals of all channels. However, the present invention gives I arm PN code for I arm and Q arm PN code for Q arm in the same way as the prior art, in case of spreading the pilot channel data PD that indicates the information signal of the first channel. In case of spreading user channel data UD1 and UD2 that are information signals of the next channels, it is designed that I arm PN code and Q arm PN code are provided in a cross way. That is, the inverted Q arm PN code is offered for I arm, while the I arm PN code is provided for Q arm.

On the other hand, in Fig. 2, channels for which the I arm PN code and the Q arm PN code are provided in a cross way are user channels #1 and #2 that are the second and the third channels. And, it is also shown therein that the I arm PN code and the Q arm PN code are provided to a user channel #N that is the last channel in a cross way. However, it should be noted that it is preferable to provide the I arm PN code and the Q arm PN code with cross upon spreading all user channel data if the number N of the user channels is small, whereas it is not preferable to provide the I arm PN code and Q arm PN code with cross upon spreading all user channel data if the number N of the user channels is large. Namely, when spreading a plurality of user channel data, it is preferable to provide the I arm PN code and the Q arm PN code with cross for a predetermined number of user channels, but to provide the I arm PN code and the Q arm PN code directly with no cross for another preset number of user channels.

For example, if it is assumed that the number of user channels in Fig. 2 is 5, PN codes are directly provided for pilot channel; but provided with cross for user channels #1, #2, directly provided for user channel #3, and with cross for user channels #4, #5. That is, PN codes are directly provided for information signal of initial channel and provided with cross for information signals until the following predetermined number of channels, in the case of spreading a plurality of information signals according to the invention in a DS/CDMA communication system that supports a plurality of information signal channels.

According to the inventive spreading method as described above, PN codes will be provided in a repeated structure such as direct -> cross -> direct -> cross -> ..., in a DS/CDMA communication system that supports a plurality of information signal channels.

Referring again to Fig. 2, the outputs from the I arm multipliers 111, 112, 113, ..., 114 and the outputs from the Q arm multipliers 115, 116, 117, ..., 118 are filtered by I arm FIR filters 119, 120, 121, ..., 122 and Q arm FIR filters 123, 124, 125, ..., 126, respectively. Outputs from the I arm FIR filters 119, 120, 121, ..., 122 are added at an adder 127 to form an I arm spread signal IS, and outputs from the Q arm FIR filters 123, 124, 125, ..., 126 are added at an adder 128 to form a Q arm spread signal QS. The I and Q arm spread signals IS and QS outputted from the adders 127 and 128 are low pass-filtered by LPFs 129 and 130, and then applied to multipliers 131 and 132, respectively. The I arm multiplier 131 multiplies the formed I arm spread signal IS by an in-phase component $\cos(2\pi fct)$ of a carrier wave to output an I arm modulation signal and the Q arm multiplier 132 multiplies the formed Q arm spread signal QS by a quadrature phase component $\sin(2\pi fct)$ of the carrier wave to provide a Q arm modulation signal. The I arm modulation signal and the Q arm modulation signal from the multipliers 131 and 132 are added at an adder 133 and then band pass-filtered at a BPF 134. The band pass-filtered signal by the BPF 134 is power-amplified at a power amplifier AMP 135 and then transmitted in the air via an antenna 136 as high frequency signal.

As described above, according to the transmitter of the conventional DS/CDMA communication system, it can be seen from Fig. 5a that there were intervals at which the outputs from the adders 127 and 128 are simultaneously zero based on the pattern of the channel data and PN codes IPN and QPN.

However, according to the transmitter of the DS/CDMA communication system of the present invention as constructed in Fig. 2, it can be seen from Fig. 5b that there is no interval where the outputs from the adders 127 and 128 are simultaneously zero although the same PN codes IPN and QPN as shown in Fig. 5a are existed. As such, since the outputs from the adders 127 and 128 are not simultaneously zero, the addition result is not zero although the carrier wave-modulated I arm spread signal IS and Q arm spread signal QS are added at the adder 133. Accordingly, the phenomenon that the transmitter is on/off keying-modulated is not occurred and thus there is no burden that an amplifier with high linearity must be adopted as the AMP 135. Furthermore, since the on/off modulation phenomenon is not taken place in the transmitter, the receiver allows the recovery of data and clock, and the establishment of PN synchronization to be more easily made, thereby improving the performance.

Fig. 3 shows a structure of a receiver of the DS/CDMA communication system proposed by the present invention. The structure of the receiver is designed to correspond to the transmitter depicted in Fig. 2. More specifically, the transmitter of the invention employs a cross control method

which provides the inverted Q arm PN code for I arm and the I arm PN code for Q arm, when creating the spread signal. Based on this, the receiver of the invention allows the I arm and Q arm PN codes to be provided for I arm and the inverted I arm and Q arm PN codes to be offered for Q arm, when conducting a despread operation.

Referring to Fig. 3, a high frequency signal received via an antenna 301 is low noise-amplified by a Low Noise Amplifier (LNA) 302, band pass-filtered by a BPF 303 and multiplied by a reception local oscillation frequency $\cos(2\pi f_{IFT})$ at a multiplier 304. At this time, a signal outputted from the multiplier 304 is an intermediate frequency signal.

The output of the multiplier 304 is divided into I arm and Q arm, and multiplied by an in-phase component $\cos(2\pi f_{IFT})$ of the intermediate frequency at a multiplier 305 for I arm and by a quadrature phase component $\sin(2\pi f_{IFT})$ of the intermediate frequency at a multiplier 306 for Q arm. Signals outputted from the multipliers 305 and 306 are analog I arm and Q arm baseband spread signals that the carrier wave components are removed. The outputs of the multipliers 305 and 306 are low pass-filtered by LPFs 307 and 308 and then converted into I arm and Q arm digital spread signals by Analog/Digital (A/D) converters 309 and 310, respectively. Outputs of the I arm A/D converter 309 and the Q arm A/D converter 310 are digital baseband spread signals, which are despread by PN codes as set forth below.

The I arm digital baseband spread signal that is the output of the I arm A/D converter 309 is then multiplied by IPN that is an output of an I arm PN code generator 311 at a multiplier 314 for I arm, and by QPN that is an output of a Q arm PN code generator 312 at a multiplier 317 for Q arm. The Q arm digital baseband spread signal that is the output of the Q arm A/D converter 310 is multiplied by an output of a multiplier 313 that provides an inverted IPN by multiplying the IPN by -1 at a multiplier 315 for I arm, and by the QPN at a multiplier 316 for Q arm. Obtaining an I arm despread signal that PN component is removed would be possible by an addition of the output of the multiplier 315 and the output of the multiplier 317 at an adder 318. At this time, a signal outputted from the adder 318 is an I arm despread signal IAS that the PN component is removed, while a signal outputted from the adder 319 is a Q arm despread signal QAS that the PN component is removed. The I arm and Q arm despread signals IAS and QAS are despread signals the PN components are removed but still have orthogonal code components. An operation to remove the orthogonal code components will now be carried out as follows.

A pilot channel orthogonal code generator 322 and multipliers 320 and 321 remove orthogonal code components of pilot channel. In other words, the multiplier 320 multiplies the I arm despread signal IAS by an orthogonal code created by the pilot channel orthogonal code generator 322 to output an I arm pilot signal IPS. The multiplier 321 multiplies the Q arm despread signal QAS by the orthogonal code created by the pilot

channel orthogonal code generator 322 to output a Q arm pilot signal QPS. The pilot channel orthogonal code generator 322 generates the same orthogonal code as that created by the pilot channel orthogonal code generator 101 shown in Fig. 2.

The I arm pilot signal IPS and the Q arm pilot signal QPS are signals that the PN code components and the orthogonal code components are removed, and applied to an initial synchronization and synchronization tracking unit 323 wherein it is used to establish PN synchronization. The result processed by the initial synchronization and synchronization tracking unit 323 is provided to a PN clock controller 324 which controls the operation of a PN clock generator 325 based on the received result. The PN clock generator 325 produces a control signal PNC to harmonize phases between the transmitted and received PN codes, wherein an I arm PN code generator 311 and a Q arm PN code generator 312 produce PN codes at a speed set based on the control signal PNC.

As mentioned above, the phases of the transmission PN code and the reception PN code are harmonized by the initial synchronization and synchronization tracking unit 323, the PN clock controller 324, the PN clock generator 325, the I arm PN code generator 311, and the Q arm PN code generator 312. This operation is called PN initial synchronization (or acquisition) and PN synchronization tracking (or tracking) operation that serves as a very important role in the spread spectrum communication system. Once the PN initial synchronization is

established and then the PN synchronization tracking is made, an operation to demodulate actually transmitted information data is performed.

To demodulate user channel data from the I arm despread signal IAS and the Q arm despread signal QAS that the PN signal components are removed, for example Nth user channel data, orthogonal code components should first be removed. A user channel orthogonal code generator 328 generates an orthogonal code of Nth channel. If the orthogonal code of Nth channel is multiplied by each of the I arm despread signal IAS and the Q arm despread signal QAS at each of the multipliers 326 and 327, there exists only user information signal of Nth channel that the orthogonal code components are removed. The I arm user information signal ICS and Q arm user information signal QCS of Nth channel are applied to a synchronization data demodulator 329. The synchronization data demodulator 329 recovers information data by using the I arm pilot signal IPS, the user information signal ICS, the Q arm signal pilot signal QPS, and the user information signal QCS.

Fig. 4 shows details of a configuration of the synchronization data demodulator 329 shown in Fig. 3.

The I arm pilot signal IPS and the Q arm pilot signal QPS are accumulated by accumulators 401 and 402, respectively, and the I arm user information signal ICS and the Q arm user information signal QCS are accumulated by accumulators 403 and

404, respectively. Signals of the pilot channel and the user channel accumulated by the accumulators 401 to 404 are dumped by dumpers 405 to 408 at $t=T$ indicating symbol duration. A dump period of the dumpers 407 and 408 of user channel to optimize the performance of system should be the same as the symbol duration $t=T$, and the dumpers 405 and 406 of pilot channel don't always need to be $t=T$ but require $t \geq T$ merely.

Output of the Q arm dumper 406 of the pilot channel and output of the I arm dumper 407 of the user channel are multiplied by a multiplier 409; and output of the I arm dumper 407 of the pilot channel and output of the Q arm dumper 408 of the user channel are multiplied by a multiplier 410. Outputs of the multipliers 409 and 410 are subtracted by a subtracter 411 to obtain a difference. The subtracter 411 is to obtain a phase difference between the pilot channel and the user channel; and a data decider 412 recovers data using the phase difference and then outputs recovered data RD. The data decider 412 recovers data by making hard decision or soft decision with respect to the output from the subtracter 411. According to the hard decision method, the data decider 412 recovers data as "0" if the output of the subtracter 411 is equal to or larger than 0, and as "1" if the output is smaller than 0. Meanwhile, according to the soft decision method, the data decider 412 is implemented by Viterbi decoder, etc. to recover data.

As mentioned above, the present invention proposes a cross control method that provides an inverted Q arm PN code for I arm

and I arm PN code for Q arm. Accordingly, the I arm spread signal and Q arm spread signal are not simultaneously zero, an on/off phenomenon or severe amplitude variation of information signals can be solved. Further, the invention allows the receiver to easily recover data and clock, thereby improving the performance thereof, and also solving a burden that should have a power amplifier with excellent linearity in the transmitter.

Meanwhile, even though the present invention has been described with respect to concrete embodiments in the above description, it is of course possible that various modifications may be made without departing from the scope of the invention. For example, it is illustrated in the concrete embodiments of the invention that, in case where the first channel is a pilot channel and the remaining channels are user channels among multiple channels, PN codes are directly supplied in case of spreading the first channel data and supplied with exchange in case of spreading the following some channel data. However, the present invention may be also applied to an instance where the first channel is user channel.

Therefore, the present invention should not be limited by the embodiments but limited only by the following appended claims as well as their equivalents.

【Claims】

1. A transmitter for Direct Sequence (DS)/Code Division Multiple Access (CDMA) communication system, the transmitter comprising:

a pilot channel coder for multiplying pilot channel data by a predetermined pilot channel orthogonal code to output coded pilot channel data;

a user channel coder for multiplying a plurality of user channel data to be transmitted by a plurality of orthogonal codes for user channel which adjacent codes are orthogonal to each other to provide a plurality of coded user channel data;

a first Pseudo Noise (PN) code generator for generating an I arm PN code;

a second PN code generator for producing a Q arm PN code;

a pilot channel spreader for multiplying the coded pilot channel data by the I arm PN code to output spread I arm pilot channel data spread and by the Q arm PN code to output spread Q arm pilot channel data;

a user channel spreader for multiplying the plurality of coded user channel data by an inverted Q arm PN code to provide a plurality of spread I arm user channel data, and by the I arm PN code to provide a plurality of spread Q arm user channel data;

a first adder for adding the spread I arm pilot channel data to the plurality of spread I arm user channel data to output I arm spread data;

a second adder for adding the spread Q arm pilot channel data to the plurality of spread Q arm user channel data to

output Q arm spread data;

a first modulator for multiplying the I arm spread data by an in-phase component of a predetermined carrier wave to obtain an I arm modulation signal;

a second modulator for multiplying the Q arm spread data by a quadrature phase component of the carrier wave to obtain a Q arm modulation signal;

a third adder for adding the I arm modulation signal to the Q arm modulation signal to output an added signal;

a band pass filter for band pass-filtering the output of the third adder;

an amplifier for power-amplifying the output of the band pass filter to provide an amplified signal as a high frequency signal; and

an antenna for transmitting the high frequency signal in the air.

2. The transmitter as recited in claim 1, further comprising an inverter for multiplying the Q arm PN code by -1 to provide the user channel spreader with a multiplication result as the inverted Q arm PN code.

3. A receiver for DS/CDMA communication system, the receiver comprising:

a low noise amplifier for low noise-amplifying a high frequency signal received via an antenna;

a band pass filtering for band pass-filtering the output of the low noise amplifier;

a first multiplier for multiplying the output of the band pass filter by a reception local oscillation frequency to output an intermediate frequency signal;

a second and a third multipliers for multiplying the intermediate frequency signal by each of an in-phase component and a quadrature phase component of a predetermined carrier wave, to output analog I arm baseband spread signal and Q arm baseband spread signal that the carrier wave components are removed, respectively;

a first and a second converters for converting the analog I arm baseband spread signal and the Q arm baseband spread signal into digital I arm baseband spread signal and Q arm baseband spread signal, respectively;

a first and a second PN code generators for generating an I arm PN code and a Q arm PN code, respectively;

a first despreader for multiplying the digital I arm baseband spread signal by the I arm PN code and the digital Q arm baseband spread signal by the Q arm PN code, to provide an I arm despread signal using the two multiplication result;

a second despreader for multiplying the digital Q arm baseband spread signal by the inverted I arm PN code and the digital I arm spread signal by the Q arm PN code, to output a Q arm despread signal using the two multiplication results;

a first and a second decoders for multiplying each of the I arm despread signal and the Q arm despread signal by a predetermined pilot channel orthogonal code, to output decoded I arm pilot signal and Q arm pilot signal, respectively;

a third and a fourth decoders for multiplying each of the I

arm despread signal and the Q arm despread signal by a predetermined user channel orthogonal code, to provide decoded I arm user information signal and Q arm user information signal, respectively;

a synchronization controller for continuously harmonizing a synchronization of the PN codes created by the first and the second PN code generators with that of PN code included in the high frequency signal based on the synchronization state of PN codes contained in the I arm pilot signal and the Q arm pilot signal, and outputting a corresponding harmonization result signal as a control signal to control a generation speed of the PN codes from the first and the second PN code generators; and

an information data demodulator for demodulating the I arm and the Q arm user information signals using the I arm and Q arm pilot signals to obtain information data.

4. The receiver as recited in claim 3, wherein the information data demodulator includes:

a first accumulator and dumper for accumulating the I arm pilot signal, and dumping and outputting an accumulated signal every preset symbol duration;

a second accumulator and dumper for accumulating the Q arm pilot signal, and dumping and outputting an accumulated signal every preset symbol duration;

a third accumulator and dumper for accumulating the I arm user information signal, and dumping and outputting an accumulated signal every preset symbol duration;

a fourth accumulator and dumper for accumulating the Q arm

user information signal, and dumping and outputting an accumulated signal every preset symbol duration;

an eighth multiplier for multiplying the output of the second accumulator and dumper by the output of the third accumulator and dumper;

a ninth multiplier for multiplying the output of the first accumulator and dumper by the output of the fourth accumulator and dumper;

a subtracter for subtracting the multiplication result by the ninth multiplier from the multiplication result by the eighth multiplier; and

a data decider for deciding making the subtraction result by the subtracter using hard decision method or soft decision method and outputting the decision result as recovered data.

5. The receiver as recited in claim 4, wherein the data decider decides information data as 0 if the output of the subtracter is equal to or greater than 0 and as 1 if the output is less than 0.

6. The transmitter as recited in claim 2, wherein the user channel spreader includes:

a first group of multipliers for multiplying each of the plurality of coded user channel data by the inverted Q arm PN code; and

a second group of multipliers for multiplying each of the plurality of coded user channel data by the I arm PN code.

7. The transmitter as recited in claim 6, wherein the pilot channel spreader includes:

a first multiplier for multiplying the coded pilot channel data by the I arm PN code to output the spread I arm pilot channel data; and

a second multiplier for multiplying the coded pilot channel data by the Q arm PN code to output the spread Q arm pilot channel data.

8. The transmitter as recited in claim 7, further comprising a plurality of Finite Impulse Response (FIR) filters, which are connected between each of the first multiplier and the multipliers in the first group and the first adder, and between each of the second multiplier and the multipliers in the second group and the second adder, for FIR-filtering, for each channel, the spread I arm pilot channel data and Q arm pilot channel data and the plurality of spread I arm user channel data and Q arm user channel data.

9. The transmitter as recited in claim 7, further comprising:

a first Low Pass Filter (LPF) connected between the first adder and the first modulator for low pass-filtering the I arm spread data to output a low pass-filtered result to the first modulator; and

a second LPF connected between the second adder and the second modulator for low pass-filtering the Q arm spread data to output a low pass-filtered result to the second modulator.

10. The receiver as recited in claim 3, further comprising an inverter for multiplying the I arm PN code by -1 to provide a multiplication result to the second despreaders as the inverted I arm PN code.

11. The receiver as recited in claim 3, further comprising a first and second LPFs that are connected between the second multiplier and the first converter and between the third multiplier and the second converter,

wherein the first LPF low pass-filters the analog I arm baseband spread signal to output a filtered signal to the first converter, and the second LPF low pass-filters the analog Q arm baseband spread signal to output a filtered signal to the second converter.

12. The receiver as recited in claim 10, wherein the first despreaders includes:

a fourth multiplier for multiplying the digital I arm baseband spread signal by the I arm PN code;

a fifth multiplier for multiplying the digital Q arm baseband spread signal by the Q arm PN code; and

a first adder for adding the multiplication results by the fourth and the fifth multipliers to output an addition result as the I arm despread signal.

13. The receiver as recited in claim 12, wherein the second despreader includes:

- a sixth multiplier for multiplying the digital I arm baseband spread signal by the inverted I arm PN code;

- a seventh multiplier for multiplying the digital I arm spread signal by the Q arm PN code; and

- a second adder for adding the multiplication results by the sixth and the seventh multipliers to output an addition result as the Q arm despread signal.

14. A spread signal generation apparatus for DS/CDMA communication system which transmits information signal via a plurality of channels, the apparatus comprising:

- a first PN code generator for generating an I arm PN code;

- a second PN code generator for generating a Q arm PN code;

- an inverter for inverting the Q arm PN code to output an inverted Q arm PN code;

- a first multiplier for multiplying an information signal of a first channel among the plurality of channels by the I arm PN code;

- a second multiplier for multiplying the information signal of the first channel by the Q arm PN code;

- a first group of multipliers for multiplying information signals of the remaining channels excepting the first channel among the plurality of channels by the inverted Q arm PN code,

respectively; and

a second group of multipliers for multiplying the information signals of the remaining channels by the I arm PN code;

a first adder for adding the multiplication results of the first multiplier and the first group of multipliers to output an addition result as I arm spread signal; and

a second adder for adding the multiplication results of the second multiplier and the second group of multipliers to output an addition result as Q arm spread signal.

15. The apparatus as recited in claim 14, wherein the information signal of the first channel is a pilot channel signal.

16. The apparatus as recited in claim 14, wherein the information signals of the remaining channels are user channel signals.

17. The apparatus as recited in claim 16, wherein the number of the remaining channels is two.

18. The apparatus as recited in claim 14, further comprising an FIR filter, which is connected between the first multiplier, the second multiplier, each of the multipliers in the first group and each of the multipliers in the second group,

and the first adder and the second adder, for FIR-filtering the multiplication result by each of the multipliers to output filtered signal to the first and the second adders.

19. A despread signal generation apparatus for DS/CDMA communication system, the apparatus comprising:

a first PN code generator for generating an I arm PN code;

a second PN code generator for generating a Q arm PN code;

an inverter for inverting the I arm PN code to output an inverted I arm PN code;

a first multiplier for multiplying a digital I arm baseband spread signal by the I arm PN code;

a second multiplier for multiplying a digital Q arm baseband spread signal by the inverted I arm PN code;

a third multiplier for multiplying the Q arm baseband spread signal by the inverted I arm PN code;

a fourth multiplier for multiplying the I arm baseband spread signal by the Q arm PN code;

a first adder for adding the multiplication results of the first multiplier and the third multiplier to output an addition result as an I arm despread signal; and

a second adder for adding the multiplication results of the second multiplier and the fourth multiplier to output an addition result as a Q arm despread signal.

Registration No.: 10-0298340

Title: DATA TRANSCEIVER OF MULTIPLE ACCESS BAND SPREAD COMMUNICATION SYSTEM USING PILOT CHANNEL

Abstract:

PURPOSE: A data transceiver of a multiple access band spread communication system using a pilot channel is provided to simplify a configuration of a transmitter of the multiple access band spread communication system and prevent a blazing fire of a code capture feature due to a cross correlation.

CONSTITUTION: First N-th Walsh code generators(251-257) generate first through N-th Walsh codes. First N-th Walsh code modulators(201-206) multiply a pilot signal, a control signal, first through N-2 traffic data by first through N-th Walsh codes, respectively. A first PN code generator(248) generates a PN code in synchronism with a predetermined PN clock. First N-th spreading devices(207-212) multiply Walsh-modulated pilot signal, control signal, first through N-2 traffic data by the PN code, respectively. First N-th FIR filters(213-218) receive and finite-impulse response-filter outputs of the first N-th spreading devices(207-212). First N-th gain controller(219-224) control gains of outputs of the first N-th FIR filters(213-218). An adder(225) adds outputs of the first-N-th gain controller(219-224) to each other. A second D/A converter(227) converts outputs of the second-N-th gain controller(220-224).

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. 6
H04L 7/00

(45) 공고일자 2001년10월24일
(11) 등록번호 10-0298340
(24) 등록일자 2001년05월31일

(21) 출원번호 10-1994-0030497 (65) 공개번호 특1996-0020138
(22) 출원일자 1994년11월19일 (43) 공개일자 1996년06월17일

(73) 특허권자 삼성탈레스 주식회사
박태진
경북 구미시 공단2동 259
(72) 발명자 이정수
서울특별시동작구사당3동175-81
박종현
서울특별시송파구가락동가락아파트126동304호
(74) 대리인 이진주

심사관 : 김자영

(54) 파일럿트채널을이용한다중접속대역확산통신시스템의데이터송수신기

요약

1. 청구범위에 기재된 발명이 속하는 기술분야

본 발명은 대역확산통신시스템에 관한 것으로서, 특히 파일럿트 채널을 이용한 다중접속 대역확산통신시스템의 송신기 및 수신기에 관한 것이다.

2. 발명이 해결하고자하는 기술적 과제

본 발명은 하나의 PN코드 발생기를 사용하여 구성을 단순화하고, 크로스상관특성으로 인한 코드포착특성의 열화를 방지할 수 있는 파일럿트채널을 이용한다중접속 대역확산통신시스템의 데이터 송. 수신기를 제공함에 있다.

3. 발명의 해결방법의 요지

본 발명은 각각의 송신 트래픽 채널이 각각 직교하는 월시코드를 사용하며, 모두 동일한 PN코드 발생수단의 출력과 곱하고, 확산신호를 결합하는 과정을 제거하여 파일럿트 신호성분이 재어신호 또는 트래픽 데이터 신호성분에 영향을 받지 않게하고 구성을 간단화 한다.

4. 발명의 중요한 용도

본 발명은 다수의 단말기를 가지는 다중접속 대역확산방식의 통신시스템에 유용하게 사용될 수 있다.

대표도
도 2

명세서

[발명의 명칭]

파일럿 채널을 이용한 다중접속 대역확산 통신시스템의 데이터 송수신기

[도면의 간단한 설명]

제1도는 종래 파일럿채널을 이용한 대역확산 통신시스템의 데이터 송신기 블록구성도.

제2도는 본 발명의 바람직한 일 실시예에 따른 파일럿 채널을 이용한 다중접속 대역확산 통신 시스템의 데이터 송신기 블록구성도.

제3도는 본 발명의 바람직한 일 실시예에 따른 파일럿 채널을 이용한 다중접속대역확산 통신시스템의 데이터 수신기 블록구성도.

[발명의 상세한 설명]

본 발명은 대역확산 통신시스템에 관한것으로서, 특히 파일럿(Pilot)채널을 이용한 다중접속 대역확산 통신시스템의 데이터 송신기 및 수신기에 관한 것이다.

일반적으로 파일럿채널을 이용한 대역확산 통신시스템에서 전송되는 신호는 크게 파일럿(Pilot)신호와 데이터(Data)가 있다. 상기 데이터는 실제 전송하고자 하는 정보신호이며, 상기 파일럿신호는 항상 "1"의 상태를 나타내며, 수신단에서 PN(Pseudo Noise)코드,동기를 용이하게 하기위해서 전송되는 추가정보신호이다.

상기 파일럿채널을 이용한 대역확산 통신시스템은 상기 데이터와 파일럿신호를 동시에 전송하므로 수신단에서 데이터복조시에, 상기 파일럿신호에 의한 데이터의 동기복조가 가능하다. 또한 파일럿신호성분은 항상 "1"이 전송되므로 파일럿 채널의 I채널 및 Q채널 PN코드는 변조가 되지 않은 순수한 PN코드 성분이 전송된다. 따라서 수신단에서 PN코드 동기를 맞추고자 할때 변조되지 않은 순수한 PN코드를 가지고 코드동기를 맞출 수 있다. 그리고 파일럿 채널과 데이터 채널은 월시 코드에 의해서 분리된다.

제1도는 종래 파일럿채널을 이용한 대역확산 통신시스템의 데이터 송신기 블록구성도로서, 먼저 파일럿신호 및 데이터는 각각 제1, 제4월시코드(Walsh code) 발생기(137,140)로부터 생성출력되는 월시코드와 제1 및 제4월시코드 변조기(126,129)에서 곱해진다. 이후 상기 제1 및 제4월시코드 변조기(126, 129)의 출력은 각각 I채널 및 Q채널로 동시분리되는데, 파일럿성분인 제1월시변조기(126)의 출력은 I채널에서는 I채널 PN코드 발생기(141)의 출력과 제1확산기(101)에서 곱하여져 확산되며, Q채널에서는 Q채널PN코드 발생기(142)의 출력과 제5확산기(105)에서 곱하여져 확산된다. 데이터 성분인 제4월시변조기(129)의 출력은 I채널에서는 I채널 PN코드 발생기(141)의 출력과 제4확산기(104)에서 곱하여져 확산되며, Q채널에서는 Q채널 PN코드 발생기(142)의 출력과 제8확산기(10a)에서 곱하여져 확산된다.

또한 동기신호(Sync) 및 페이징신호(paging)는 각각 제2, 제3월시코드발생기(138,139)로부터 생성출력되는 월시코드와 제2 및 제3월시코드 변조기(127, 128)에서 곱해진다. 이후 상기 제2 및 제3월시코드 변조기(127, 128)의 출력은 각각 I채널 및 Q채널으로 동시분리되는데, 동기신호성분인 제2월시변조기(127)의 출력은 I채널에서는 I채널 PN코드 발생기(141)의 출력과 제2확산기(102)에서 곱하여져 확산되며, Q채널에서는 Q채널 PN코드 발생기(142)의 출력과 제6확산기(106)에서 곱하여져 확산된다. 페이징신호성분인 제3월시변조기(123)의 출력은 I채널에서는 I채널 PN코드 발생기(141)의 출력과 제3확산기(103)에서 곱하여져 확산되며, Q채널에서는 Q채널 PN코드 발생기(142)의 출력과 제7확산기(107)에서 곱하여져 확산된다.

상기 제1-4확산기(101-104)의 확산출력은 제1-4결합기(109~112)에서 가산되어 상기 제1결합기(109)를 통해 출력되며, 이후 제 1 D/A변환기(117)를 통해 아나로그신호로 변환출력된다.

상기 제5-8확산기(105-108)의 확산출력은 제5-8결합기(113-116)에서 가산되어 상기 제5결합기(113)를 통해 출력되며, 이후 제 2 D/A변환기(118)를 통해 아나로그신호로 변환출력된다.

제1필터(119)는 상기 제 1 D/A변환기(117)의 출력신호를 필터링하여 출력하며, 제2필터(120)는 상기 제 2 D/A변환기(118)의 출력신호를 필터링하여 출력한다. 이때 상기 제1,2필터(119,120)는 각각 저역통과필터가 사용될 수 있다.

이후 상기 제1필터(119)의 출력은 제1혼합기(122)에서 중간주파수신호발생기(121)로부터 생성된 중간주파수신호의 I위상성분인 \cos^{ω}_{IFT} 와 곱하여지고, 제2필터(120)출력은 위상변환기(124)를 통해 변환된 상기 중간주파수신호의 Q위상성분인 \sin^{ω}_{IFT} 와 제2혼합기(123)에서 곱하여진다. 상기 제1 및 제2혼합기(122, 123)의 출력은 제9결합기(175)에서 결합되고, 상기 결합된 신호는 제3혼합기(133)에서 \cos^{ω}_{RF1} 와 곱하여진다.

여기서 ω_c 반송주파수라고 하면 일반적으로 $\omega_c = \omega_{IF} + \omega_{RF}$ 이다. 상기 제3혼합기(133)의 출력은 대역통과필터(BPF : 134)를 통과하고, 증폭기(131)에서 증폭되어 안테나를 통하여 자유공간으로 전파된다.

그러나 상술한 종래 파일럿트채널을 이용한 대역확산 통신시스템의 송신기는 파일럿트 및 데이터 신호를 I채널 및 Q채널에 대해서 모두 확산하는 QPSK(Quadrature Phase-Shift Keying)대역확산방식이므로 그에 따른 구성이 복잡하여 다중접속 대역확산통신시스템에 적합하지 않은 문제점이 있었다.

종래 대역확산 통신시스템은 다중접속 시스템구조에서 파일럿트 및 데이터 신호성분의 결합으로 인한 크로스 상관특성의 열화로 말미암아 수신단에서 코드 포착이 더욱 어렵다는 문제점이 있다.

따라서 본 발명의 목적은 하나의 PN코드 발생기를 사용하는 파일럿트채널을 이용한 다중접속 대역확산통신시스템의 데이터송신기를 제공함에 있다.

본 발명의 다른 목적은 하나의 PN코드 발생기를 사용하는 파일럿트채널을 이용한 다중접속 대역확산통신시스템의 해당 채널 데이터 수신기를 제공함에 있다.

본 발명의 또 다른 목적은 하나의 PN코드 발생기를 사용하는 파일럿트 채널을 이용한 다중접속 대역확산통신시스템의 데이터 송수신기를 제공함에 있다.

이하 본 발명의 바람직한 구성 및 동작의 일 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

제2도는 본 발명의 바람직한 일 실시예에 따른 파일럿트 채널을 이용한 다중접속 대역확산 통신 시스템의 데이터 송신기 블록구성도로서, 하기와 같이 구성된다.

제1-N월시코드발생기(251~256)는 각각 제1-N월시코드를 생성 출력한다.

제1월시코드변조기(201)는 파일럿신호를 입력받아 상기 제1월시코드발생기(251)로부터 입력되는 제1월시코드와 곱하여 월시변조된 파일럿신호를 출력한다.

제2월시코드변조기(202)는 제어신호를 입력받아 상기 제2월시코드발생기(252)로부터 입력되는 제2월시코드와 곱하여 월시변조된 제어신호를 출력한다.

제3월시코드변조기(203)는 전송희망하는 제1트래픽 데이터를 입력받아 상기 제3월시코드발생기(253)로부터 입력되는 제3월시코드와 곱하여 월시변조된 제1트래픽 데이터를 출력한다.

제4월시코드변조기(204)는 전송희망하는 제2트래픽 데이터를 입력받아 상기 제4월시코드발생기(254)로부터 입력되는 제4월시코드와 곱하여 월시변조된 제2트래픽 데이터를 출력한다.

제5월시코드변조기(205)는 전송희망하는 제3트래픽 데이터를 입력받아 상기 제5월시코드발생기(255)로부터 입력되는 제5월시코드와 곱하여 월시변조된 제3트래픽 데이터를 출력한다.

제N월시코드변조기(206)는 전송희망하는 제N-2트래픽 데이터를 입력받아 상기 제N월시코드발생기(256)로부터 입력되는 제N월시코드와 곱하여 월시변조된 제N-2트래픽 데이터를 출력한다.

제1PN코드발생기(248)는 소정 PN클럭에 동기하여 PN코드를 생성출력한다.

제1확산기(207)는 상기 월시변조된 파일럿신호와 상기 PN코드를 곱하여 대역 확산된 파일럿신호로 출력한다.

제2확산기(208)는 상기 월시변조된 제어신호와 상기 PN코드를 곱하여 대역확산된 제어신호로 출력한다.

제3확산기(209)는 상기 월시변조된 제1트래픽 데이터와 상기 PN코드를 곱하여 대역확산된 제1트래픽 데이터로 출력한다.

제4확산기(210)는 상기 월시변조된 제2트래픽 데이터와 상기 PN코드를 곱하여 대역확산된 제2트래픽 데이터로 출력한다.

제5확산기(211)는 상기 월시변조된 제3트래픽 데이터와 상기 PN코드를 곱하여 대역확산된 제3트래픽 데이터로 출력한다.

제N확산기(212)는 상기 월시변조된 제N-2트래픽 데이터와 상기 PN코드를 곱하여 대역확산된 제N-2트래픽 데이터로 출력한다.

제1~N FIR필터(213~218)는 상기 제1~N확산기(207~212)의 출력을 각각 입력받아 유한 임펄스 응답 필터링하여 출력한다.

제1-N 이득조정기(219~224)는 상기 제1~N FIR필터(213~218)의 출력을 각각 입력받아 이득조정하여 출력한다.

제1 D/A변환기(226)는 상기 제1 이득조정기(219)의 출력을 아날로그신호로 변환출력한다.

가산기(225)는 상기 제2-N 이득조정기(220~224)의 출력을 가산하여 출력한다.

제2 D/A변환기(227)는 상기 제2-N 이득조정기(220~224)의 출력을 아날로그신호로 변환출력한다.

제1 및 제2LPF(228,229)는 상기 제1 및 제2D/A변환기(226, 227)의 출력을 저역 필터링하여 출력한다.

제1곱셈기(230)는 파일럿신호성분인 제1LPF(228)의 I채널출력과 소정 I위상 성분의 제1중간주파수신호($\cos \omega_c t$; F_L)를 입력받아 상기 두 입력신호를 곱하여 출력한다.

제2곱셈기(231)는 제어신호 및 트래픽데이터신호성분인 제2LPF(315)의 Q채널출력과 Q위상성분의 제2중간주파수신호($\text{SIN}^\circ_{\text{IF1}}$)를 입력받아 상기 두 입력신호를 곱하여 출력한다.

결합기(232)는 상기 제1 및 제2 곱셈기(230, 231)의 출력을 입력받으며, 상기 두 입력신호를 결합하여 출력한다.

제3곱셈기(233)는 상기 결합기(232)의 출력과 제3중간주파수신호($\text{COS}^\circ_{\text{RF1}}$)를 입력받아 상기 두 입력신호를 곱하여 혼합된 신호를 출력한다.

대역통과필터(234:BPF)는 상기 제3곱셈기(233)의 출력을 입력받아 대역필터링하여 출력한다.

증폭기(235)는 상기 대역필터링된 신호를 입력받아 소정 증폭비에 따라 증폭하여 안테나를 통해 출력한다.

제3도는 본 발명의 바람직한 일 실시예에 따른 파일럿 채널을 이용한 다중접속 대역확산 통신시스템의 데이터 수신기 블록구성도로서, 다음과 같이 구성된다.

LNA(Low Noise Amplifier:301)는 고주파수 증폭기로서 안테나로부터 수신되는 수신신호를 증폭하여 출력한다.

수신 대역통과필터(302:BPF)는 상기 LNA(301)로부터 출력되는 수신신호를 대역 필터링한다.

제4곱셈기(303)는 상기 대역필터링된 신호와 제3중간주파수신호($\text{COS}^\circ_{\text{RF1}}$)를 입력받아 상기 두 입력신호를 곱하여 중간 주파수 성분의 신호로 변환 출력한다.

제5곱셈기(304)는 상기 제4곱셈기(303)의 출력신호와 I위상성분의 제1중간주파수신호($\text{SIN}^\circ_{\text{IF1}}$)를 입력받아 상기 두 입력신호를 곱하여 출력한다.

제6곱셈기(305)는 상기 제4곱셈기(303)의 출력신호와 Q위상성분의 제2중간주파수신호($\text{SIN}^\circ_{\text{IF1}}$)를 입력받아 상기 두 입력신호를 곱하여 출력한다.

제3 및 제4LPF(306, 307)는 각각 상기 제5 및 제6곱셈기(304, 305)의 출력신호를 입력받아 저역필터링하여 확산성분신호로 각각 출력한다.

제1 및 제2 A/D변환기(308, 309)는 각각 상기 제1 및 제2LPF(306, 307)의 필터링출력을 입력받아 디지털 신호로 변환하여 각각 출력한다.

제2PN코드발생기(300)는 소정 PN클럭을 입력받으며 이에 동기하여 PN코드를 생성출력한다.

제1 및 제2역확산기(310,311)는 각각 상기 디지털변환된 제1 및 제2A/D변환기(308,309)의 출력신호들과 상기 PN코드를 입력받아 각각 상기 두 입력신호를 곱하여 역확산된 I채널신호인 $I(t)$ 및 Q채널신호인 $Q(t)$ 를 출력한다.

제11월시코드발생기(361)는 각각 상술한 송신기의 제1월시코드와 동일한 제1월시코드를 생성출력한다.

제12월시코드발생기(362)는 각각 상술한 송신기의 제2월시코드와 동일한 제2월시코드를 생성출력한다.

제13월시코드발생기(363)는 각각 상술한 송신기의 제N-2월시코드와 동일한 제3월시코드를 생성출력한다.

제11 및 제12월시코드복조기(312,313)는 상기 제1 및 제2역확산기(310,311)로부터 상기 $I(t)$ 신호 및 $Q(t)$ 신호를 입력받아 상기 제1월시코드와 곱하여 월시코드 복조출력한다.

초기동기 및 동기 추적부(350)는 상기 제1 및 제2월시복조기(312, 313)로부터 월시코드복조된 $I(t)$ 및 $Q(t)$ 를 입력받으며 상기 두 입력신호의 PN코드 동기 및 동기추적하여 그 결과에 대응하는 동기 추적결과신호를 출력한다.

PN클럭 제어기(370)는 상기 동기 추적결과신호를 입력받아 이에 대응하는 클럭 제어신호를 출력 한다.

PN클럭발생기(380)는 상기 클럭제어신호를 입력받아 상기 클럭제어신호에 제어되어 PN코드 발생을 제어하는 PN클럭을 생성출력한다.

제13 및 제14 월시코드복조기(314,315)는 상기 제1 및 제2역확산기(310,311)로부터 상기 I(t)신호 및 Q(t)신호를 입력받아 상기 제1월시코드와 곱하여 월시코드 복조출력한다.

제15 및 제16 월시코드복조기(316,317)는 상기 제1 및 제2역확산기(310,311)로부터 상기 I(t)신호 및 Q(t)신호를 입력받아 상기 제2월시코드와 곱하여 월시코드 복조출력한다.

제17 및 제18월시코드복조기(318,319)는 상기 제1 및 제7역확산기(310,311)로부터 상기 I(t)신호 및 Q(t)신호를 입력받아 상기 제3월시코드와 곱하여 월시코드 복조출력한다.

제1~6누산덤프기(Accumulate & Dump:320~325)는 상기 제13~18월시코드복조기(314~319)의 출력신호를 각각 입력받으며, 상기 입력신호를 각각 누산 및 덤프하여 출력한다.

제11곱셈기(326)는 상기 제1 및 제4누산덤프기(320,323)의 출력신호를 입력받으며, 상기 두 입력신호를 곱하여 출력한다.

제12곱셈기(327)는 상기 제2 및 제3누산덤프기(321,322)의 출력신호를 입력받으며, 상기 두 입력신호를 곱하여 출력한다.

제13곱셈기(325)는 상기 제2 및 제5누산덤프기(321,324)의 출력신호를 입력받으며, 상기 두 입력신호를 곱하여 출력한다.

제14곱셈기(329)는 상기 제1 및 제6누산덤프기(370,325)의 출력신호를 입력받으며, 상기 두 입력신호를 곱하여 출력한다.

제1감산기(340)는 상기 제11 및 제12곱셈기(326,327)의 출력을 입력받아 상기 제11곱셈기(326)의 출력으로부터 상기 제12곱셈기(327)의 출력을 감산하여 출력한다.

제2감산기(341)는 상기 제13 및 제14곱셈기(328,329)의 출력을 입력받아 상기 제13곱셈기(328)의 출력으로부터 상기 제14곱셈기(329)의 출력을 감산하여 출력한다.

제어신호결정기(342)는 상기 제1감산기(340)의 감산출력을 입력받아 상기 입력신호로부터 위상을 검출하여 제어신호를 최종 복조출력한다.

데이터결정기(343)는 상기 제2감산기(341)의 감산출력을 입력받아 상기 입력신호로부터 위상을 검출하여 제N-2트래픽데이터를 복조데이터로 출력한다.

이하 상술한 제2도 및 제3도를 참조하여 본 발명의 바람직한 일 실시예에 따르는 파일럿 채널을 이용한 대역확산 통신시스템의 데이터 송, 수신기의 동작을 상세히 살펴본다.

먼저 파일럿채널을 이용한 대역확산 통신시스템에서 전송되는 신호는 상술한 바와 같이 크게 파일럿신호와 데이터로 구성된다. 상술한 파일럿신호성분은 I 채널신호를 형성하며, 데이터 성분은 Q채널신호성분을 형성한다. 본 발명의 바람직한 실시예에서 전송되는 신호는 크게 파일럿신호, 제어 신호, 데이터들이 있으며, 상기 파일럿 신호 성분은 I채널 신호를 형성하고, 제어신호와 트래픽 데이터들은 Q채널신호를 형성한다.

먼저 파일럿 채널은 초기동기 및 동기추적을 용이하게 해주며 무변조된다.

즉 "1" 데이터가 송출된다. 또한 모뎀 수신기에서 동기복조용 기준 펄스신호로 파일럿 채널이 이용된다. 또한 콘트롤 채널은 다중접속 대역확산시스템을 구성하는데 필요한 각종 파라미터 들을 송출한다. 예를 들어 i번째 모뎀이 사용하는 월시코드-시퀀스는 wi임을 알려준다. 그외에도 기지국 ID 및 필요 시스템 정보를 알려준다. 마지막으로 데이터 채널은 전송하고자 하는 실제 트래픽 데이터들이 송출된다.

먼저 상술한 구성을 가지는 제2도의 송신기 구조에서 최대 가용한 트래픽 채널은 N개의 채널이다. 이때 상기 파일럿 채널, 콘트롤 채널, 트래픽 채널에서 사용하는 월시코드는 서로서로 직교하는 특성을 갖는다.

먼저 본 발명의 바람직한 일 실시예에 따른 데이터송신기의 동작을 상술한 제2도의 구성을 참조하여 설명하면, 제1월시코드변조기(201)는 파일럿신호를 입력받아 상기 제1월시코드발생기(251)로부터 입력되는 제1월시코드와 곱하여 월시변조된 파일럿신호를 출력한다. 제2월시코드변조기(202)는 제어신호를 입력받아 상기 제2월시코드발생기(252)로부터 입력되는 제2월시코드와 곱하여 월시변조된 제어신호를 출력한다. 제3월시코드 변조기(203)는 전송희망하는 제1트래픽데이터를 입력받아 상기 제3월시코드발생기(253)로부터 입력되는 제3일시코드와 곱하여 월시변조된 제1트래픽데이터를 출력한다. 제4월시코드변조기(204)는 전송희망하는 제2트래픽데이터를 입력받아 상기 제4월시코드발생기(254)로부터 입력되는 제4월시코드와 곱하여 월시변조된 제2트래픽데이터를 출력한다. 제5월시코드변조기(205)는 전송희망하는 제3트래픽데이터를 입력받아 상기 제5월시코드발생기(255)로부터 입력되는 제5월시코드와 곱하여 월시변조된 제3트래픽데이터를 출력한다. 제N월시코드변조기(206)는 전송희망하는 제N-2트래픽데이터를 입력받아 상기 제N월시코드발생기(255)로부터 입력되는 제N월시코드와 곱하여 월시변조된 제N-2트래픽데이터를 출력한다.

제1-6확산기(207-212)는 상기 제1-N월시변조기(201-206)의 월시변조-출력을 각각 입력받으며, 상기 입력신호에 PN코드를 각각 곱하여 대역확산된 파일럿 신호, 제어신호 및 트래픽데이터들을 출력한다.

이후 상기 대역확산된 파일럿신호는 제1FIR필터(213)를 통해 유한 임펄스 응답필터링되고, 제1이득조정기(219)를 통해 이득조정되어 제1D/A변환기(226)를 통해 I채널 아나로그신호로 변환되며, 제1LPF(228)를 통해 저역필터링된 후 제1곱셈기(230)에서 1위상성분의 제1중간주파수신호($\cos^{\circ} f_{Fl}$)와 곱해진다.

또한 상기 대역확산된 제어신호 및 트래픽데이터들은 제2-N-FIR필터(214-218)를 통해 유한 임펄스 응답 필터링되고, 제2-N 이득조정기(220-224)를 통해 이득조정되어 가산기(225)에서 모두 가산되며, 제2 D/A변환기(227)를 통해 Q채널 아나로그신호로 변환되고, 제2LPF(229)를 통해 저역필터링된 후 제2곱셈기(231)에서 Q위상성분의 제2중간주파수신호($\sin^{\circ} f_{Fl}$)와 곱해진다.

이후 결합기(232)는 상기 제1 및 제2 곱셈기(230, 231)의 출력을 입력받아 결합하여 출력한다. 제3곱셈기(233)는 상기 결합기(232)의 출력을 입력받아 반송파인 제3중간주파수신호($\cos^{\circ} f_{Fl}$)로 곱하여 출력한다. 대역통과필터(234:BPF)는 상기 제3곱셈기(233)의 출력을 입력받아 대역필터링하여 출력하며, 증폭기(235)는 상기 대역필터링된 신호를 입력받아 소정 증폭비에 따라 증폭하여 안테나를 통해 출력한다.

이하 본 발명의 바람직한 일 실시예에 따른 데이터수신기의 동작을 상술한 제3도의 구성을 참조하여 설명하면, 먼저 안테나에서 수신된 신호는 LNA(301) 및 대역통과필터(302)를 거쳐 반송파 신호($\cos^{\circ} f_{Fl}$)와 제4곱셈기(303)에서 곱해져 중간주파수성분의 신호로 된다. 이후 상기 제4곱셈기(303)의 출력은 제5곱셈기(304)에서 I위상성분의 제1중간주파수신호($\cos^{\circ} f_{Fl}$)와 곱해지고 제3LPF(306) 및 제1A/D변환기(308)를 거쳐 I채널 디지털 신호가 되며, 제6곱셈기(307)에서 Q위상성분의 제2중간주파수신호($\sin^{\circ} f_{Fl}$)와 곱해지고 제4LPF(307) 및 제2A/D변환기(309)를 거쳐 Q채널 디지털 신호가 된다.

이후 상기 I채널, Q채널 디지털 신호는 제1 및 제2역확산기(310,311)에서 각각 PN코드와 곱하여져 I채널신호인 I(t) 및 Q채널신호인 Q(t)가 된다.

제11 및 제12월시코드복조기(312,313)는 상기 I(t)신호 및 Q(t)신호를 입력받아 제1월시코드와 곱하여 월시코드 복조출력 한다.

초기동기 및 동기 추적부(350)는 상기 제11 및 제12월시복조기(312, 313)로부터 월시코드복조된 $I(t)$ 및 $Q(t)$ 를 입력받으며 상기 두 입력신호의 PN코드 동기 및 동기추적하여 그 결과에 대응하는 동기 추적결과신호를 출력한다. 이후 PN클럭 제어기(370)는 상기 동기 추적결과신호를 입력받아 이에 대응하는 클럭제어신호를 출력하며, PN클럭발생기(380)는 상기 클럭제어신호를 입력받아 상기 클럭제어신호에 제어되어 PN코드 발생을 제어하는 PN클럭을 생성출력한다.

제13 및 제14 월시코드복조기(314,315)는 상기 상기 $I(t)$ 신호 및 $Q(t)$ 신호를 입력받아 상기 제1월시코드와 곱하여 월시코드복조출력한다. 제15 및 제16 월시코드복조기(316,317)는 상기 $I(t)$ 신호 및 $Q(t)$ 신호를 입력받아 상기 제2월시코드와 곱하여 월시코드복조출력한다. 제17 및 제18 월시코드복조기(318,319)는 상기 $I(t)$ 신호 및 $Q(t)$ 신호를 입력받아 상기 제3월시코드와 곱하여 월시코드복조출력한다. 이후 제1~6누산덤프기(320~325)는 상기 제13~18월시코드복조기(314~319)의 출력신호를 입력받아 각각 누산 및 덤프 출력한다.

제11곱셈기(326)는 상기 제1 및 제4누산덤프기(320,323)의 출력신호를 입력받아 곱하여 출력하며, 제12곱셈기(327)는 상기 제2 및 제3누산덤프기(321,322)의 출력신호를 입력받아 곱하여 출력하고, 제13곱셈기(328)는 상기 제2 및 제5누산덤프기(321,324)의 출력신호를 입력받아 곱하여 출력하며, 제14곱셈기(329)는 상기 제1 및 제6누산덤프기(320,325)의 출력신호를 입력받아 곱하여 출력한다.

제1감산기(340)는 상기 제11 및 제12곱셈기(326,327)의 출력을 입력받아 상기 제11곱셈기(326)의 출력으로부터 상기 제12곱셈기(327)의 출력을 감산하여 출력하며, 제7감산기(341)는 상기 제13 및 제14곱셈기(328,329)의 출력은 입력받아 상기 제13곱셈기(328)의 출력으로부터 상기 제14곱셈기(329)의 출력을 감산하여 출력한다.

이후 제어신호결정기(342)는 상기 제1감산기(340)의 감산출력을 입력받으며, 입력된 신호의 위상을 검출하여 제어신호를 최종 복조출력한다.

또한 데이터결정기(343)는 상기 제2감산기(341)의 감산출력을 입력받으며, 입력된 신호의 위상을 검출하여 제N-2트래픽데이터를 최종 복조출력한다.

상술한 동작을 간략히 설명하면, N-2번째 데이터 수신기는 먼저 송신기의 PN코드와 초기동기 및 동기 추적을 하고, 일단 PN동기가 확립이 되면 상기 수신기는 제어 채널 제어신호를 복조하고, 송신기(기지국)의 제어 상태에 따라 동작한다. 예를들면 제어채널 내용이 N-2번째 월시코드를 사용하여 접속을 요구하면, N-2번째 수신기는 N번째 월시코드를 발생시켜 데이터를 복조한다.

따라서 상술한 바와 같이 본 발명은 파일럿신호가 단지 I채널신호성분을 형성하며 데이터는 단지 Q채널신호성분을 형성하고, I채널 및 Q채널신호성분을 모두 동일한 PN코드발생기의 출력과 곱하여지므로 다중접속 대역확산 통신시스템의 각 단말기측 수신기의 구성이 간단해지는 효과가 있다.

또한 본 발명은 각각의 송신 트래픽 채널이 직교하는 월시코드를 사용하며, 모두 동일한 PN코드 발생수단의 출력과 곱해짐으로 다중접속 대역확산 통신시스템의 송신기의 구성이 간단해지는 장점이 있다.

또한 본 발명은 확산신호를 결합하는 과정이 없어, 파일럿트 신호성분이 제어신호 또는 트래픽 데이터 신호성분에 영향을 받지 않으므로 크로스상관에 의한 코드포착특성의 열화가 발생되지않는 효과가 있다.

(57) 청구의 범위

청구항 1.

파일럿트채널을 대역확산 통신 시스템에 있어서; 파일럿트 신호와 소정 제어신호와 적어도 둘이상의 데이터를 입력받

아 각각의 코드체제를 갖는 월시코드로서 상기 데이터를 월시변조하여 출력하는 월시변조수단과; 상기 월시변조된 파일럿트신호, 제어신호, 데이터들을 입력받아 소정 PN코드로 대역확산하여 출력하는 대역확산수단과; 상기 대역확산수단의 대역확산된 출력신호들을 각각 입력받아 유한 임펄스응답 필터링하여 출력하는 유한 임펄스 필터링수단과; 상기 유한 임펄스 응답 필터링수단으로부터 필터링 출력되는 대역확산된 파일럿트 신호 제어신호 및 데이터들을 입력받아 필터링된 파일럿트신호를 아나로그신호로 변환하여 출력하며, 필터링된 상기 제어신호 및 데이터들을 혼합하여 아나로그신호로 변환하여 출력하는 아나로그 변환수단과; 상기 아나로그 변환수단의 출력신호들을 입력받아 저역필터링하여 출력하는 저역필터링수단과; 상기 저역필터링수단의 출력신호들을 입력받아 소정 중간주파수신호를 곱하고 각 신호들을 결합하여 중간주파수신호가 혼합된 신호로 출력하는 중간주파수 혼합 및 결합수단과; 상기 혼합수단의 출력신호를 입력받아 대역필터링하여 출력하는 대역필터링 수단과; 상기 대역필터링된 신호를 입력받아 소정 증폭비에 따라 증폭하여 출력하는 증폭수단으로 구성함을 특징으로 하는 파일럿트 채널을 이용한 다중접속 대역확산 통신시스템의 데이터 송신기.

청구항 2.

제1항에 있어서, 상기 아나로그 변환수단은; 상기 유한 임펄스 응답 필터링수단으로부터 필터링 출력된 파일럿트 신호를 입력받아 아나로그변환하여 출력하는 제1디지털-아나로그변환수단과, 상기 유한 임펄스 응답 필터링수단으로부터 필터링 출력된 제어신호 및 데이터들을 입력받아 가산하여 출력하는 가산수단과, 상기 가산수단의 가산 출력신호를 입력받아 아나로그신호로 변환하여 출력하는 제2디지털-아나로그 변환수단으로 구성함을 특징으로하는 파일럿트채널을 이용한 다중접속 대역확산통신시스템의 송신기.

청구항 3.

제1항 또는 제2항에 있어서, 상기 월시코드 발생수단은; 각각의 입력신호에 대응하는 월시코드들을 생성출력하는 월시코드발생수단과; 상기 입력신호들과 상기 월시코드들을 각각 일대일로 곱하여 월시코드변조된 신호들로 각각 출력하는 변조수단으로 구성함을 특징으로하는 파일럿트 채널을 이용한 다중접속 대역확산 통신시스템의 데이터 송신기.

청구항 4.

제1항에 있어서, 상기 유한 임펄스 응답 필터링수단으로부터 필터링 출력되는 대역확산된 파일럿트 신호, 제어신호 및 데이터들을 입력받아 각각의 신호들의 이득을 조정하여 상기 아나로그 필터링수단으로 출력하는 이득조정수단을 더 부가함을 특징으로하는 파일럿트 채널을 이용한 다중접속 대역확산통신시스템의 송신기.

청구항 5.

제4항에 있어서, 상기 아나로그 변환수단은; 상기 유한 임펄스 응답 필터링수단으로부터 필터링 출력된 파일럿트 신호를 입력받아 아나로그변환하여 출력하는 제1디지털-아나로그변환수단과, 상기 유한 임펄스 응답 필터링수단으로부터 필터링 출력된 제어신호 및 데이터들을 입력받아 가산하여 출력하는 가산수단과, 상기 가산수단의 가산 출력신호를 입력받아 아나로그신호로 변환하여 출력하는 제2디지털-아나로그 변환수단으로 구성함을 특징으로하는 파일럿트채널을 이용한 다중접속 대역확산통신시스템의 송신기.

청구항 6.

제4항 또는 제5항에 있어서, 상기 월시코드 발생수단은; 각각의 입력신호에 대응하는 월시코드들을 생성출력하는 월시코드발생수단과, 상기 입력신호들과 상기 월시코드들을 각각 일대일로 곱하여 월시코드변조된 신호들로 각각 출력하는 변조수단으로 구성함을 특징으로 하는 파일럿트 채널을 이용한 다중접속 대역확산 통신시스템의 데이터 송신기.

청구항 7.

대역확산 통신시스템에 있어서; 안테나를 통해 수신되는 수신신호를 증폭하여 출력하는 저잡음증폭수단과; 상기 저잡음 증폭수단의 출력신호를 입력받아 대역필터링하여 출력하는 대역통과 필터링수단과; 상기 대역필터링된 신호와 소정 중간주파수신호를 곱하여 중간주파수신호성분이 제거된 대역확산된 파일럿트신호성분을 포함하는 I채널신호와, 대역확산 제어신호 및 데이터들의 혼합성분을 포함하는 Q채널신호로 출력하는 중간주파수 제거수단과; 상기 I채널신호 및 Q채널신호를 각각 입력받아 저역필터링하여 출력하는 저역 필터링 수단과; 상기 저역필터링된 I채널신호 및 Q채널신호를 각각 입력받아 디지털신호로 변환하여 각각 출력하는 디지털 변환수단과; 디지털 변환된 상기 I채널신호 및 Q채널신호와 소정 PN클럭을 입력받으며, 상기 PN클럭에 동기하여 PN코드를 생성하고, 상기 디지털변환된 I채널신호 및 Q채널신호와 상기 PN코드를 각각 곱하여 역확산된 I채널신호 및 Q채널신호로 출력하는 역확산수단과; 상기 역확산된 I채널신호 및 Q채널신호를 입력받아 파일럿트신호를 복조하기 위한 월시코드와 제어신호를 복조하기 위한 월시코드와 소정 해당채널의 데이터를 복조하기 위한 월시코드를 각각 생성하고, 상기 역확산된 I채널신호 및 Q채널신호와 상기 각각의 월시코드들을 곱하여 각각 파일럿트월시복조된 I채널신호 및 Q채널신호와, 제어신호월시복조된 I채널신호 및 Q채널신호와, 데이터월시복조된 I채널신호 및 Q채널신호를 출력하는 월시코드복조수단과; 상기 월시코드복조된 각각의 I채널신호 및 Q채널신호들을 입력받아 각각 누산덤프하여 출력하는 누산덤프수단과; 상기 누산덤프수단으로부터 출력되는 파일럿트월시복조된 I채널신호 및 Q채널신호와, 제어신호월시복조된 I채널신호 및 Q채널신호를 입력받아 상기 신호들을 혼합하고 가산하여 가산된 신호의 위상에 대응하여 제어신호를 결정하여 출력하는 제어신호결정수단과; 상기 누산덤프수단으로부터 출력되는 파일럿트월시복조된 I채널신호 및 Q채널신호와, 데이터월시복조된 I채널신호 및 Q채널신호를 입력받아 상기 신호들을 혼합하고 가산하여 가산된 신호의 위상에 대응하여 제어신호를 결정하여 출력하는 데이터결정수단과; 상기 파일럿트월시복조된 I채널신호 및 Q채널신호를 입력받으며 상기 두 입력신호의 PN코드 초기동기를 이루고 및 동기상태를 추적하여 그 결과에 대응하는 동기 추적결과신호를 출력하는 초기 동기 및 동기 추적기와; 상기 동기 추적결과신호를 입력받으며, 상기 동기 추적결과신호에 대응하여 PN코드 발생을 제어하는 PN클럭을 상기 역확산수단으로 출력하는 PN클럭발생수단으로 구성함을 특징으로 하는 파일럿트 채널을 이용한 다중접속 대역확산통신 시스템의 데이터 수신기.

청구항 8.

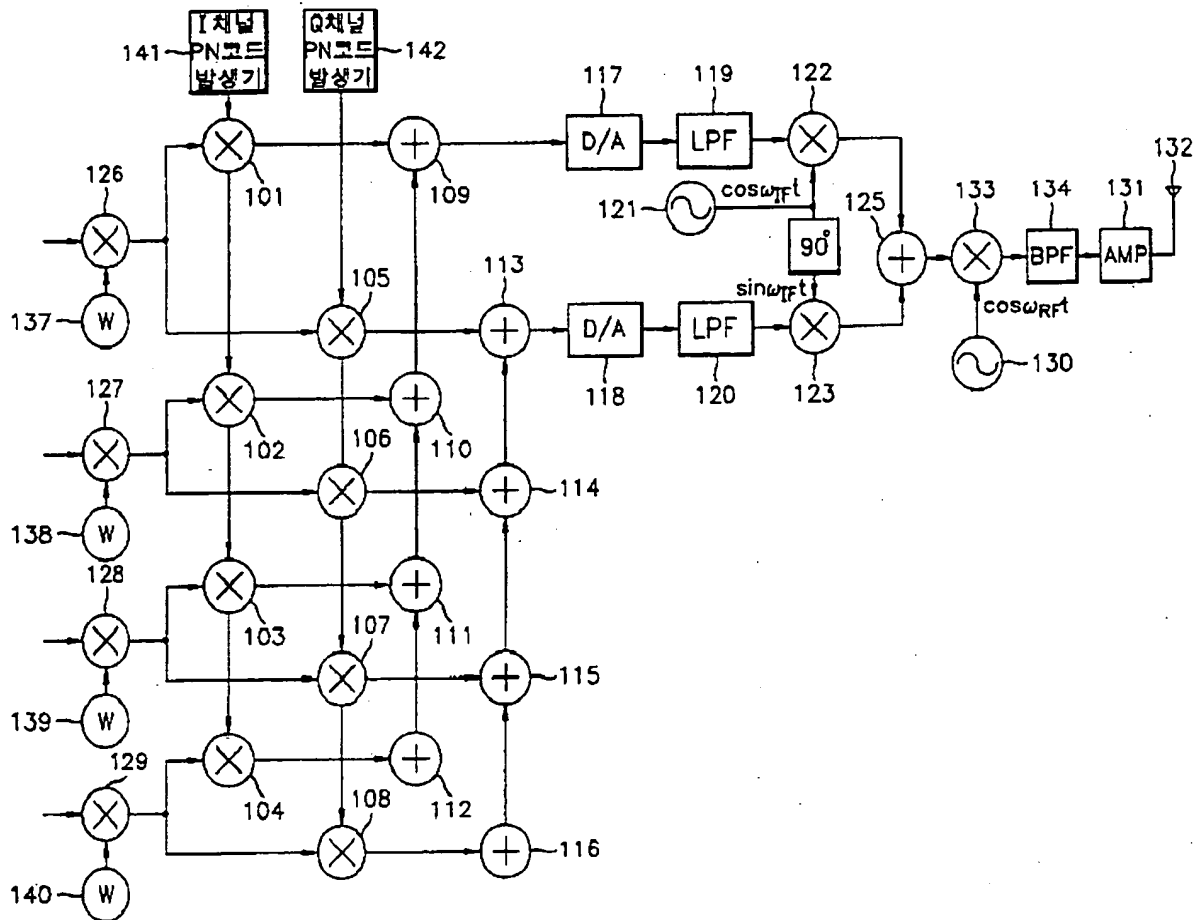
제7항에 있어서, 상기 제어신호결정수단은; 상기 누산덤프수단으로부터 출력되는 파일럿트월시복조된 I채널신호와 제어신호월시복조된 Q채널신호를 입력받아 상기 두 입력신호를 곱하여 출력하는 제1곱셈수단과, 상기 누산덤프수단으로부터 출력되는 파일럿트월시복조된 Q채널신호와 제어신호월시복조된 I채널신호를 입력받아 상기 두 입력신호를 곱하여 출력하는 제2곱셈수단과, 상기 제1 및 제2곱셈수단의 출력신호를 입력받아 가산출력하는 제1가산수단과, 상기 제1가산수단의 출력신호를 입력받으며, 입력된 상기신호의 위상에 따라 제어신호를 복조하여 출력하는 제어신호복조수단으로 구성함을 특징으로 하는 파일럿트 채널을 이용한 다중접속 대역확산통신시스템의 데이터 수신기.

청구항 9.

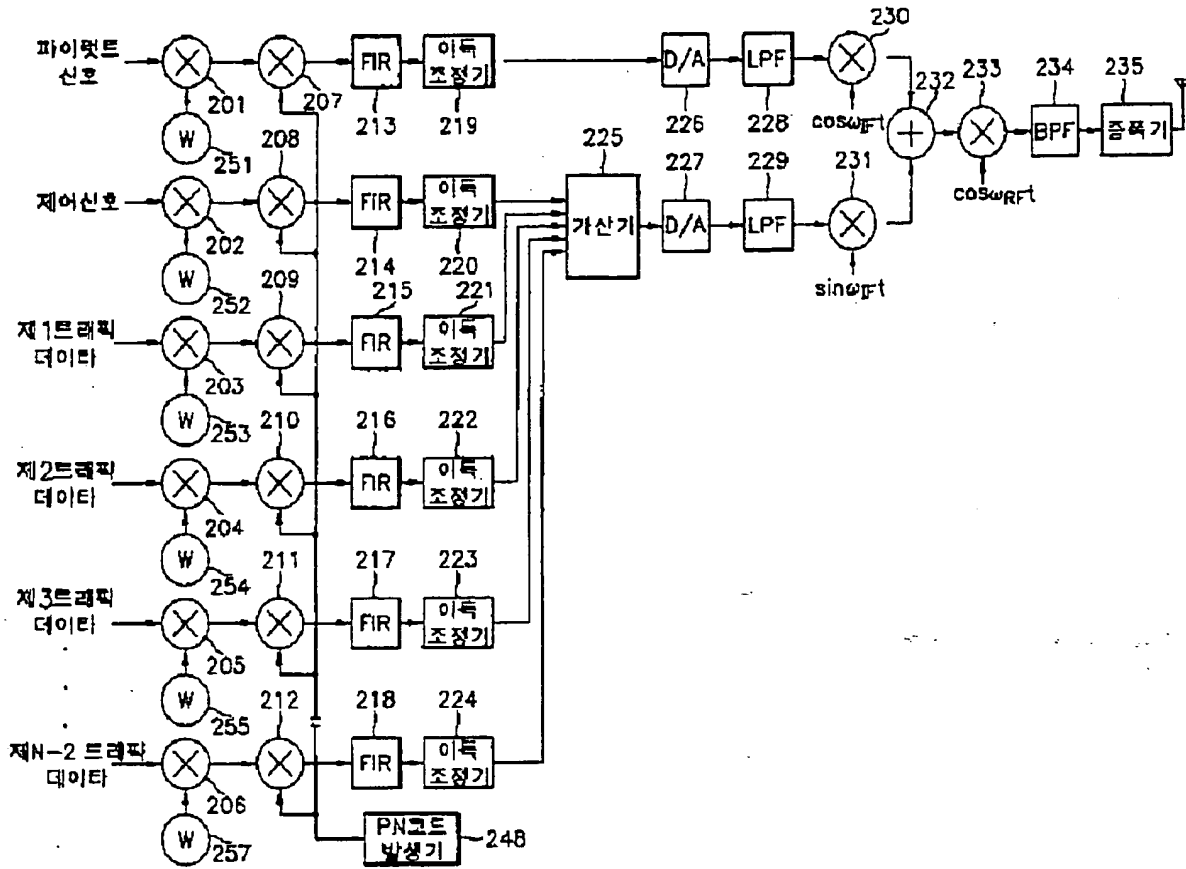
제7항 또는 제8항에 있어서, 상기 데이터결정수단은; 상기 누산덤프수단으로부터 출력되는 파일럿트월시복조된 I채널신호와 데이터월시복조된 Q채널신호를 입력받아 상기 두 입력신호를 곱하여 출력하는 제1곱셈수단과, 상기 누산덤프수단으로부터 출력되는 파일럿트월시복조된 Q채널신호와 데이터월시복조된 I채널신호를 입력받아 상기 두 입력신호를 곱하여 출력하는 제2곱셈수단과, 상기 제1 및 제2곱셈수단의 출력신호를 입력받아 가산출력하는 제1가산수단과, 상기 제1가산수단의 출력신호를 입력받으며, 입력된 상기신호의 위상에 따라 데이터를 복조하여 출력하는 데이터복조수단으로 구성함을 특징으로 하는 파일럿트 채널을 이용한 다중접속 대역확산통신시스템의 데이터 수신기.

도면

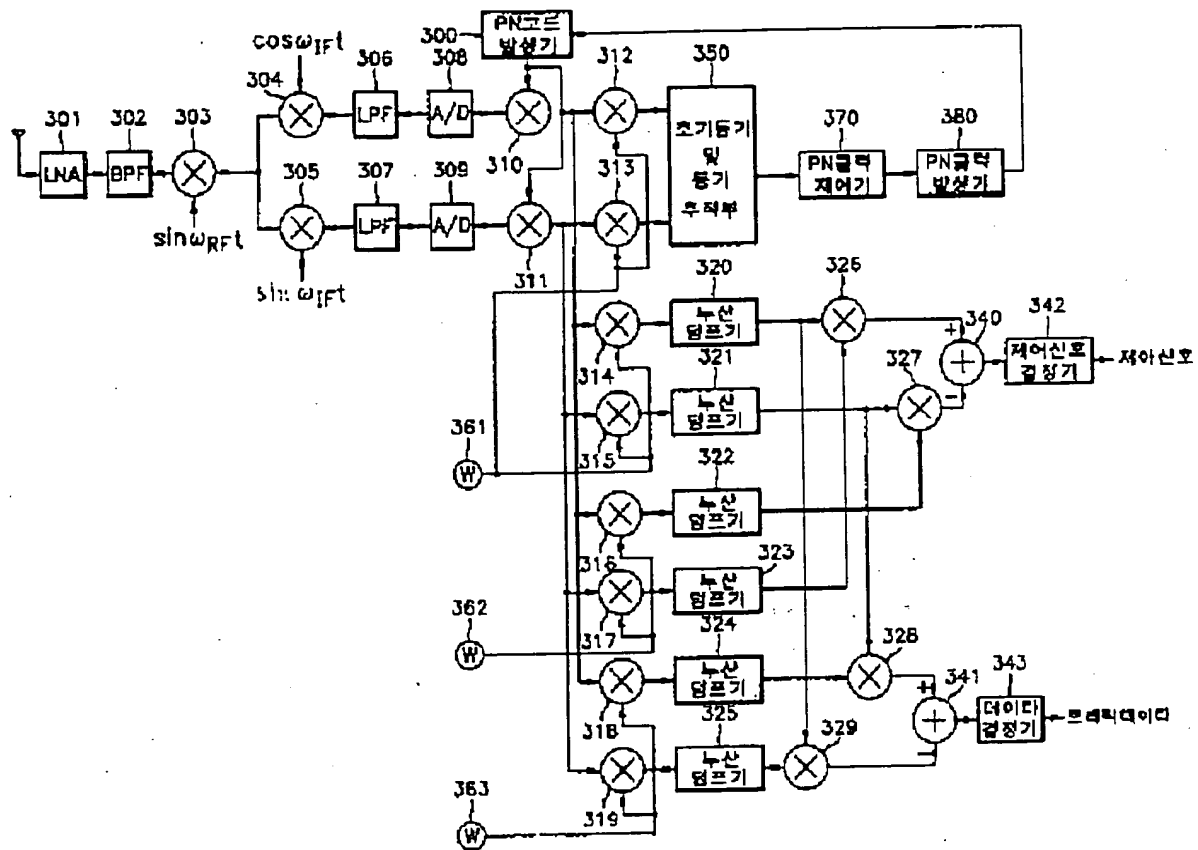
도면 1



도면 2



도면 3



Publication No.: 1997-0031399

**Title: DATA TRANSMITTER IN DIRECT SEQUENCE AND CODE DIVISION
MULTIPLE ACCESS COMMUNICATION SYSTEM**

Abstract:

PURPOSE: A data transmitter in a direct sequence/code division multiple access(DS/CDMA) communication system is provided to supply an inverted Quadrature(Q) arm pseudo-noise(PN) code to an In-phase(I) arm and to supply an I arm PN code to a Q arm, so as to prevent on/off amplitude shifts of information signals.

CONSTITUTION: Transmitting signals are divided into pilot channel data(PD) and user channel data(UD1-UDN). '1' PD is always transmitted. The UD's are substantially-transmitted information data. The PD is multiplied by an output of an orthogonal code generator(101) and a multiplier(102), and the multiplied PD is outputted. The UD's are multiplied by outputs of orthogonal code generators(103-105) and multipliers(106-108) of corresponding channels. A signal outputted from the multiplier(102) is a signal which the PD is orthogonally coded. The orthogonal code generators(101-105) generate different orthogonal codes. Each channel is divided and separated by the different orthogonal codes. Orthogonally coded signals outputted from each of the multipliers(102-108) are divided into In-phase(I) arms and Quadrature(Q) arms, and supplied to multipliers(111-118).

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
H04B 1/0707(11) 공개번호 특1997-0031399
(43) 공개일자 1997년06월26일

(21) 출원번호 특1995-0042989

(22) 출원일자 1995년11월22일

(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지(우:440-370)(72) 발명자 박종현
서울특별시 송파구 가락동 가락아파트 126동 304호
김제우
경기도 수원시 팔달구 매탄동 현대아파트 104동 1502호

(74) 대리인 이견주

심사청구 : 있음

(54) 파일럿트채널을 이용한 직접확산/부호분할다중접속 통신시스템

요약

1. 청구범위에 기재된 발명이 속한 기술분야

본 발명은 파일럿트채널을 이용한 직접확산/부호분할다중접속 통신시스템에 관한 것이다.

2. 발명이 해결하려고 하는 기술적 과제

파일럿트채널을 이용하여 데이터를 전송할 시 아이(I)암 채널데이터와 큐(Q)암 채널데이터가 동시에 제로가 됨에 따라 송신기가 온-오프키잉 되는 것을 방지함으로써 수신기의 수신성능의 향상을 위한 직접확산/부호 분할다중접속 통신시스템을 구현한다.

3. 발명의 해결방법의 요지

본 발명에 따른 직접확산/부호분할다중접속 통신시스템은; 송신시에는 I암 파일럿트채널데이터에 I암 의사 잡음(PN)부호를 승산하고, Q암 파일럿트채널데이터에 Q암 PN부호를 승산하고, 다수의 I 암 사용자채널데이터에는 반전된 Q암 PN부호를 승산하고, 다수의 Q암 파일럿트채널데이터에는 I암 PN부호를 승산하며; 수신시에는 I암 기저대역신호에 I암 PN부호와 Q암 PN부호를 각각 승산하고, Q암 기저대역신호에 반전된 I암 PN부호와 Q암 PN부호를 각각 승산하는 것을 특징으로 한다.

4. 발명의 중요한 용도

직접 확산방식의 부호분할다중접속 통신시스템.

대표도

도2

명세서

[발명의 명칭]

[도면의 간단한 설명]

제2도는 파일럿트 채널을 이용한 본 발명에 따른 직접확산/부호분할다중 접속 통신시스템의 송신기에 대한 블록도 이아그램.

제3도는 파일럿트 채널을 이용한 본 발명에 따른 직접확산/부호분할다중 접속 통신시스템의 수신기에 대한 블록도 이아그램.

제4도는 제3도의 데이터복조기의 구성을 상세하게 나타내는 도면.

제5도는 파일럿트 채널을 이용한 종래기술 및 본 발명에 따른 직접확산/부호분할다중 접속 통신시스템의 송신기에 서 처리되는 신호들을 나타내는 도면.

"본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음"

(57)청구의 범위

청구항1

직접확산/부호분할다중접속 통신시스템에 있어서; 파일럿트 채널데이터와 미리 설정된 파일럿트 채널용 직교부호를 송신하여 변조된 파일럿트 채널데이터를 출력하는 파일럿트 채널용 변조수단과; 전송을 위한 다수의 사용자채널 데이터와 인접하는 부호들이 서로 직교하는 다수의 사용자채널용 직교부호를 송신하여 변조된 다수의 사용자 채널 데이터를 출력하는 사용자채널용 변조수단과; 아이(I)암 의사잡음부호와 큐(Q)암 의사잡음부호를 발생하는 의사잡음부호발생수단과; 상기 변조된 파일럿트 채널데이터에 상기 아이암 의사잡음부호를 송신하여 대역확산된 아이암 파일럿트 채널데이터를 출력하고, 상기 큐암 의사 잡음부호를 송신하여 대역확산된 큐암 파일럿트 채널데이터를 출력하는 파일럿트 채널데이터용 대역확산수단과; 상기 변조된 다수의 사용자채널데이터에 상기 큐암 의사잡음 부호를 반전시켜 송신하여 대역확산된 다수의 아이암 사용자채널데이터를 출력하고, 상기 아이암 의사잡음부호를 송신하여 대역확산된 다수의 큐암 사용자 채널데이터를 출력하는 사용자채널데이터용 대역확산수단과; 상기 대역확산된 아이암 파일럿트 채널데이터 및 큐암 파일럿트 채널데이터와 상기 대역확산된 다수의 아이암 사용자채널 데이터 및 큐암 사용자 채널데이터를 각 채널별로 유한장임펄스응답필터링하는 유한장임펄스응답필터링수단과; 상기 유한장임펄스응답필터링수단에 의해 각 채널별로 필터링되어 출력되는 상기 대역확산된 아이암 파일럿트 채널 데이터와 다수의 아이암 사용자채널데이터를 가산하여 아이암 채널데이터를 출력하고, 상기 대역확산된 큐암 파일럿트 채널데이터와 다수의 큐암 사용자채널데이터를 가산하여 큐암 채널 데이터를 출력하는 제1가산수단과; 상기 제1가산수단으로부터 출력되는 아이암 채널데이터와 큐암 채널데이터를 각각 저역통과필터링하는 저역통과필터링수단과; 상기 저역통과필터링된 아이암 채널데이터에 미리 설정된 중간주파수 신호의 동상성분을 송신하여 아이암 중간주파수신호를 출력하고, 상기 저역통과필터링된 큐암 채널데이터에 상기 중간주파수신호의 직각위상 성분을 송신하여 큐암 중간주파수신호를 출력하는 중간주파수신호 출력수단과; 상기 아이암 중간주파수신호와 상기 큐암 중간주파수신호를 가산하는 제2가산수단과; 상기 제2가산수단에 의해 가산되어 출력되는 중간주파수신호를 대역 통과필터링하는 대역통과필터링수단과, 상기 대역통과필터링수단의 출력을 증폭하여 고주파신호로서 출력하는 증폭수단과; 상기 증폭수단에 의해 증폭된 고주파신호를 공중으로 전파하는 전파 수단으로 구성함을 특징으로 하는 송신기.

청구항2

제1항에 있어서, 상기 사용자채널데이터용 대역확산수단은; 상기 큐암 의사잡음부호를 반전시키는 반전수단과, 상기 변조된 다수의 사용자채널데이터 각각에 상기 반전수단의 출력을 송신하는 다수의 제1송신기와, 상기 변조된 다수의 사용자채널데이터 각각에 상기 아이암 의사잡음 부호를 송신하는 다수의 제2송신기로 구성함을 특징으로 하는 송신기.

청구항3

직접확산/부호분할다중접속 통신시스템에 있어서; 안테나를 통해 수신되는 신호를 저잡음증폭하는 저잡음증폭수단과; 상기 저잡음증폭수단의 출력을 대역통과필터링하는 대역통과필터링 수단과; 상기 대역통과필터링수단의 출력에 수신국부발진주파수를 송신하여 상기 대역통과필터링된 수신신호를 중간주파수신호로 변환하여 출력하는 중간주파수신호 변환수단과; 상기 중간주파수신호 변환수단의 출력에 미리 설정된 중간주파수신호의 동상성분 및 직각위상성분을 각각 송신하여 반송파성분이 제거된 아이(I)암신호와 큐(Q)암신호를 출력하는 반송파제거수단과; 반송파성분이 제거된 상기 아이암신호와 큐암신호를 각각 저역통과필터링하여 기저대역 확산된 아이암신호와 큐암신호를 출력하는 저역통과필터링수단과; 상기 저역통과필터링수단의 출력을 디지털신호로 변환하여 아이암 디지털신호와 큐암 디지털신호를 출력하는 디지털신호 변환수단과; 아이암 의사잡음부호와 큐암의사잡음부호를 발

생하는 의사잡음무호 발생수단; 상기 아이암 디지털신호에 상기 아이암 의사잡음부호를 승산하고, 상기 규암 디지털신호에 상기 규암 의사잡음무호를 승산한 후 상기 두 승산 결과를 가산함으로써 역확산된 아이암 디지털신호를 출력하는 아이암 역확산수단과; 상기 규암 디지털신호에 상기 아이암 의사잡음무호를 반전시켜 승산하고, 상기 아이암 디지털신호에 상기 규암 의사잡음무호를 승산한 후 상기 두 승산결과를 가산함으로써 역확산된 규암 디지털신호를 출력하는 규암 역확산수단과; 상기 역확산된 아이암 디지털신호와 규암 디지털신호 각각에 미리 설정된 파일럿트채널 직교부호를 각각 승산하여 파일럿트채널 직교부호성분이 제거된 제1아이암신호와 제1규암신호를 출력하는 제1직교부호성분 제거수단과; 상기 역확산된 아이암 디지털신호와 규암디지털신호 각각에 미리 설정된 사용자채널 직교부호를 각각 승산하여 사용자채널 직교부호성분이 제거된 제2아이암신호와 제2규암신호를 출력하는 제2직교부호성분 제거수단과; 상기 제1아이암신호와 제1규암신호에 포함된 의사잡음무호의 동기상태를 이용하여 상기 의사잡음무호발생수단에 의해 발생하는 의사잡음무호의 동기를 상기 수신신호에 포함된 의사잡음무호의 동기에서 지속적으로 일치시키고 이에 대응하는 결과신호를 상기 의사잡음무호 발생수단의 의사 잡음무호 발생속도를 제어하기 위한 신호로서 출력하는 의사잡음무호 동기제어수단과; 상기 제1아이암신호 및 제1규암신호와 상기 제2아이암신호 및 제2규암신호를 이용하여 정보데이터를 복조하는 정보데이터 복조수단으로 구성함을 특징으로 하는 수신기.

청구항4

제3항에 있어서, 상기 의사잡음무호 동기제어수단은; 상기 제1아이암신호와 제1규암신호에 포함된 의사잡음무호의 동기상태를 이용하여 상기 의사잡음무호발생수단에 의해 발생하는 의사잡음무호의 동기를 상기 수신신호에 포함된 의사잡음무호의 동기에서 일치시키는 초기동기수단과, 상기 수신신호에 포함된 의사잡음무호의 동기를 지속적으로 추적하여 상기 의사잡음무호발생수단에 의해 발생하는 의사잡음무호의 동기가 상기 수신신호에 포함된 의사잡음무호의 동기에서 지속적으로 일치되도록 하는 동기추적수단과, 상기 동기추적수단인 동기추적결과 신호에 대응하는 클럭을 상기 의사 잡음무호 발생수단의 의사잡음무호 발생속도를 제어하기 위한 신호로서 발생하는 클럭발생수단으로 구성함을 특징으로 하는 수신기.

청구항5

제3항에 있어서, 상기 정보데이터 복조수단은; 상기 제1아이암신호와 제1규암신호를 각각 누적가산하는 제1누적가산수단과, 상기 제2아이암신호와 제2규암신호를 각각 누적가산하는 제2누적가산 수단과, 상기 누적가산된 제1아이암신호와 상기 누적가산된 제2규암신호를 승산하는 제1승산기와, 상기 누적가산된 제1규암신호와 상기 누적가산된 제2아이암신호를 승산하는 제2승산기와, 상기 제1승산기의 출력과 상기 제2승산기의 출력을 이용하여 정보데이터를 결정하고 상기 결정된 정보데이터를 복원데이터로서 출력하는 데이터결정수단으로 구성함을 특징으로 하는 수신기.

청구항6

제5항에 있어서, 상기 정보데이터 복조수단은, 상기 제1승산기의 출력과 상기 제2승산기의 출력을 감산하는 감산수단을 더 포함함을 특징으로 하는 수신기.

청구항7

제5항에 있어서, 상기 데이터결정수단은, 상기 감산수단의 감산출력을 이용하여 정보데이터를 결정하고 상기 결정된 정보데이터를 복원데이터로서 출력하는 것을 특징으로 하는 수신기.

청구항8

제7항에 있어서, 상기 데이터결정수단은, 상기 감산수단의 감산출력을 소프트결정 또는 하드결정하여 정보데이터를 결정하고 상기 결정된 정보 데이터를 복원데이터로서 출력하는 것을 특징으로 하는 수신기.

청구항9

제7항에 있어서, 상기 데이터결정수단은, 상기 감산수단의 감산출력이 "0"레벨이상인 경우는 "0"레벨로, "0"레벨 미만인 경우는 "1"레벨로 정보 데이터를 결정하는 것을 특징으로 하는 수신기.

청구항10

제5항 내지 제9항중의 어느 한 항에 있어서, 상기 누적가산된 제1아이암신호와, 제1규암신호와, 제2아이암신호와, 제2규암신호를 각각 미리 설정된 시간을 단위로 덤프하여 상기 제1승산기 및 상기 제2승산기로 출력하는 덤프수단을 더 포함함을 특징으로 하는 수신기.

도면

도면2



도면3



도면4

BEST AVAILABLE COPY



도면 5a



도면 5b



BEST AVAILABLE COPY